

FCBGA 基板关键技术综述及展望*

方志丹, 于中尧, 武晓萌, 王启东
(中国科学院微电子研究所, 北京 100029)

摘要: 倒装芯片球栅格阵列 (FCBGA) 基板是人工智能、5G、大数据、高性能计算、智能汽车和数据中心等新兴需求应用的 CPU、图形处理器 (GPU)、FPGA 等高端数字芯片的重要载体, 业界对其需求量快速增长。对 FCBGA 基板的关键技术进行了介绍, 包括精细线路技术、翘曲控制技术和局部增强技术。同时, 对 FCBGA 基板技术的发展趋势及应用前景进行了展望。

关键词: 倒装芯片球栅格阵列; 味之素增层膜; 半加成工艺; 翘曲; 嵌入式多芯片互连桥

中图分类号: TN41; TN305.94 文献标志码: A 文章编号: 1681-1070 (2023) 03-030103

DOI: 10.16257/j.cnki.1681-1070.2023.0061

中文引用格式: 方志丹, 于中尧, 武晓萌, 等. FCBGA 基板关键技术综述及展望[J]. 电子与封装, 2023, 23(3): 030103.

英文引用格式: FANG Zhidan, YU Zhongyao, WU Xiaomeng, et al. Overview and prospect of key technologies of FCBGA substrate[J]. Electronics & Packaging, 2023, 23(3): 030103.

Overview and Prospect of Key Technologies of FCBGA Substrate

FANG Zhidan, YU Zhongyao, WU Xiaomeng, WANG Qidong

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Flip-chip ball grid array (FCBGA) substrate, as an important carrier of high-end digital chips such as CPU, GPU, FPGA, have been very popular in high-end applications, including artificial intelligence, 5G, big data, high-performance computing, smart cars, and data centers, and the industry demand is growing rapidly. The key technologies of FCBGA substrate are introduced, including fine-line process, warpage control technology and local enhancement technology. At the same time, the development trend and application prospect of FCBGA substrate technology are prospected.

Keywords: flip-chip ball grid array; Ajinomoto build-up film; semi-additive process; warpage; embedded multi-die interconnect bridge

1 引言

基板又称集成芯片载板, 为芯片提供电气互连、保护、支撑、散热、组装等功能, 作为连接裸芯片与

PCB 的桥梁, 是集成电路产业中封装产品的关键原材料之一。基板和芯片有多种封装形式^[1-2], 其中倒装芯片球栅格阵列 (FCBGA) 基板是针对 AI、5G、大数据、高性能计算 (HPC)、智能汽车和数据中心等新兴需求应用的 CPU、图形处理器 (GPU)、FPGA 等高端数字芯

* 基金项目: 中国科学院战略性先导科技专项资助 (XDA0330200)

收稿日期: 2022-11-17

E-mail: 方志丹 fangzhidan@ime.ac.cn

片的重要载体,具有高算力、高速度、高带宽、低延迟、低功耗、多功能和系统级集成等许多优点。

以栅格阵列形式倒装的基板包含针脚栅格阵列(PGA)、平面栅格阵列(LGA)、球栅格阵列(BGA)3种类型。根据电子行业咨询公司Prismark的预测,2011—2026年,FCPGA/LGA/BGA基板在封装基板市场中的占比一直是最多的,均在45%以上,在2026年预计达到57%;2026年基板市场规模预计达到214亿美元,2021至2026年这5年的预计年均复合增长率达到8.3%,其中FCBGA市场规模达到121亿美元,占比在一半以上,年复合增长率在基板市场中最高,达到11.5%。可见,未来封装基板市场中最为活跃的就是FCBGA基板。目前中国大陆地区基板厂已经具备引线键合球栅格阵列(WBBGA)、倒装芯片级封装(FCCSP)等中低端基板制造能力,但高端的FCBGA基板量产市场仍被日韩及中国台湾地区企业所垄断。

近些年,我国相关行业已在该领域进行大量投入,其中深南电路、兴森快捷、安捷利美维等基板厂已在存储、射频等FCBGA基板方向进行大额资金投入和先进技术研发;中国科学院微电子研究所建立了国内唯一的先进基板研发线,在FCBGA基板方面已实现精细线路与埋入式功能基板成套技术,形成支撑AI、HPC系统封装集成应用的大尺寸基板(70 mm×70 mm以上)、大尺寸芯片(25 mm×25 mm以上)、大功率(1000 W以上)以及大功率密度(1.5 W/mm²)的样品。

2 FCBGA 基板关键技术

FCBGA基板技术不同于普通基板。首先,随着数据处理芯片的尺寸增加到70 mm×70 mm,配套的FCBGA基板从80 mm×80 mm向110 mm×110 mm的更大尺寸迈进。其次,面向高密度互连的需求,基板增层[指在芯板(Core)2侧的增层布线层,不包含芯板上的2层线路]的数量将从10层增加到18层甚至更多。同时,为实现高密度布线,线宽/线间距将减小到5 μm/5 μm以下。综上,FCBGA基板具有超大尺寸、高叠层和精细线路3个方面的特点。超大尺寸和高叠层在基板工艺上的突出表现为翘曲增加,同时线路节距减少,需要新的基板材料、新工艺和新结构形式的引入,所以FCBGA基板关键技术的研究主要包括精细线路技术、翘曲控制技术和局部增强技术3个方面。

2.1 精细线路技术

精细线路的主要载体为具有低粗糙度表面的绝

缘介质,常规选用工艺为半加成工艺(SAP),该工艺主要考察介质材料与金属种子层间结合力的控制问题,结合力的强弱对精细线路的附着起到决定性作用。因此,针对上述关键因素进行重点介绍,包括增层介质材料、工艺方法和结合力控制技术3个方面。

2.1.1 增层介质材料

基板的增层介质材料有多种,包括双马来酰亚胺三嗪(BT)树脂、半固化片(PP)、涂树脂铜箔(RCC)、光敏绝缘材料和味之素增层膜(ABF)等。PP由玻纤布和树脂构成,其表面的粗糙度来自压合时的铜箔毛牙,超低粗糙度的铜箔表面平均粗糙度在0.5 μm以上,通常在改良半加成工艺(MSAP)中用于制作15 μm以上的线路。受到玻纤束经纬交织的影响,盲孔的成孔直径在65 μm以上。RCC是在铜箔表面涂覆树脂,其粗糙度同样来源于铜箔,因其不含玻纤或填料,受温湿度影响的涨缩比较大,不适合用于大尺寸、高叠层基板的制作;光敏绝缘材料由树脂、填料和感光溶剂等组成,通过光刻工艺可实现小于25 μm的超小盲孔,但在使用中其表面的种子层通常需要通过半导体工艺沉积,工艺兼容性相对较差。ABF是一种由高分子树脂、硅微粉和溶剂等物质混合形成的复合薄膜材料,通过除胶工艺控制其表面粗糙度(通常小于0.4 μm),采用常规基板工艺即可以直接镀铜,形成线宽/线间距不大于15 μm/15 μm的精细线路。因为填料采用均匀分布的平均直径不大于0.5 μm的硅微粉,可以实现孔径为25~30 μm的高密度盲孔。相比于其他增层介质,ABF具有易于加工和较高的工艺兼容性等特点,因此被广泛用作FCBGA基板的增层介质材料。

为了满足高密度布线、高速传输和高叠层基板低翘曲的需求,ABF的物性不断提升,从GX系列到GL系列,随着硅粉填料的质量分数从38%增加到72%,热膨胀系数(CTE)从 $46 \times 10^{-6} \cdot ^\circ\text{C}^{-1}$ 降低到 $20 \times 10^{-6} \cdot ^\circ\text{C}^{-1}$;杨氏模量从4 GPa提高到13 GPa,介电损耗也大大降低。ABF基本物性参数对比如表1所示。表面粗糙度与精细线路如图1所示,可以看出介质表面的粗糙度对线宽/线间距的影响。当介质表面的粗糙度较大时,图形电镀中有渗镀风险,在细线路的底部易形成微短或短路,不利于细线路的线形控制。随着线路节距的缩小,介质表面的粗糙度也相应减小,因此,ABF中硅微粉的平均直径从0.5 μm下降到0.1 μm时,相应的表面粗糙度从400 nm下降到100 nm及以下。

2.1.2 SAP 工艺

精细线路通常选用SAP工艺实现,SAP与MSAP

表 1 ABF 基本物性参数对比^[3]

ABF 类型	GX13	GX92	GXT31	GZ41	GL102
CTE (25~150 °C, 拉伸热机械分析)/(10 ⁻⁶ ·°C ⁻¹)	46	39	23	20	20
玻璃化转变温度 (拉伸热机械分析)/°C	156	153	154	176	153
杨氏模量 /GPa	4.0	5.0	7.5	9.0	13
抗拉强度 /MPa	93	98	104	120	130
延伸率 /%	5.0	5.6	2.4	1.7	1.5
介电常数 (F·m ⁻¹)	3.2	3.2	3.4	3.3	3.3
介电损耗 (5.8 GHz)	0.019 0	0.018 0	0.014 0	0.007 4	0.004 4
SiO ₂ 质量分数 /%	38	40	60	66	72

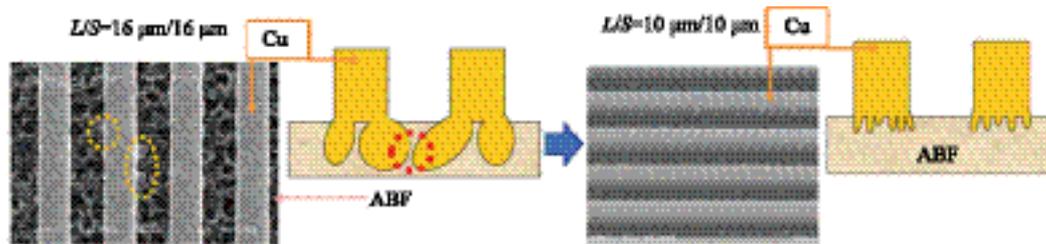


图 1 表面粗糙度与精细线路^[3]

工艺流程如图 2 所示, SAP 工艺是将内层基板做超粗化处理以增强介质和下层金属线路间的结合力, 在基板 2 面贴增层介质, 通过真空压膜和镜面钢板平整获得均匀覆盖在基板表面的介质层, 激光钻孔后对介质表面做除胶工艺处理, 清除钻孔产生的残渣并形成均匀的、纳米尺度的粗糙表面, 在孔内及介质表面沉积疏松的化铜层, 再经过图形发生 (包括贴膜、曝光、显影) 和图形转移 (包括图形电镀、剥膜和闪蚀) 等一系列工艺形成增层线路。

SAP 和 MSAP 的最大区别在于绝缘介质上的种子层。SAP 中绝缘介质表面的种子层是通过化铜工艺

沉积厚度约为 1 μm、比电解铜疏松的化学铜, 而 MSAP 中绝缘介质表面的种子层是和介质一起压合的电解铜箔 (厚度为 2~3 μm)。由于闪蚀药水的蚀刻选择性, 超薄又疏松的化铜层比电解铜更易去除, 更利于实现高密度线路。但如果种子层与介质间的结合力弱, 细线路在剥膜、闪蚀及超粗化处理等工艺中经过多次有压力的药液冲击, 会出现飞线、掉线等不良现象, 对于大尺寸基板上长度为几十毫米的长距精细线路来说, 其掉线现象会非常严重。所以 SAP 工艺的核心技术, 也是通过使用无铜箔增层介质材料实现精细线路的前提条件, 即控制化铜层与介质材料间的结合力。

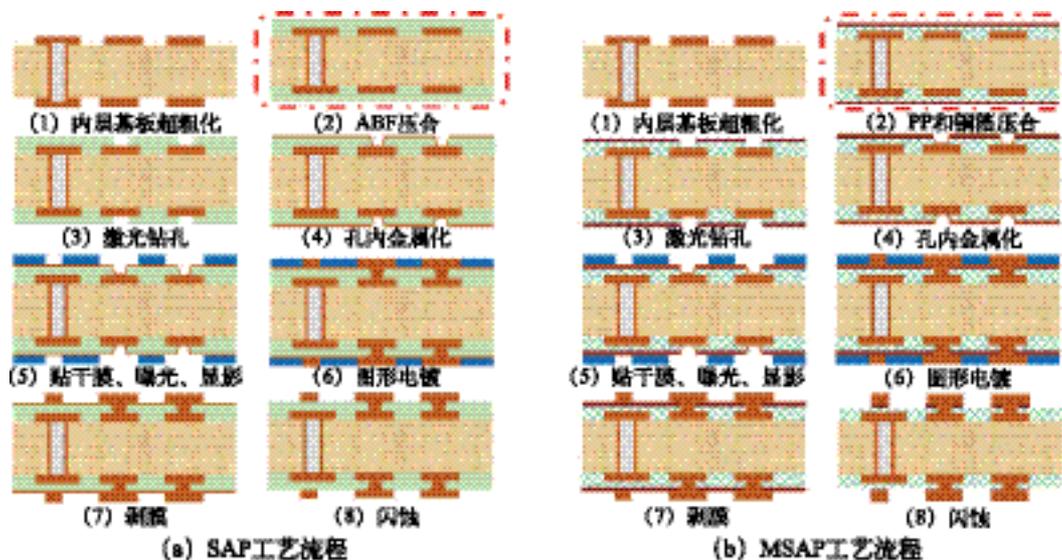


图 2 SAP 与 MSAP 工艺流程

2.1.3 结合力控制技术

增厚介质材料作为隔离上下 2 层金属线路的绝缘层,若其与下层线路的结合力弱,多层基板易在制备过程或可靠性测试中,因温度、湿度等环境条件的变化出现爆板、分层等不良情况。若其与上层金属的结合力弱,则在图形发生和转移工艺中就会出现线路倒伏、剥落,无法完成多层基板的制作。

通过对线路做超粗化处理来实现介质材料与下层线路的良好结合,采用粗化药水对铜晶界进行有选择性的刻蚀,在铜晶粒表面形成独特的凹凸形状,超粗化的电镀铜表面如图 3 所示,可以在控制精细线路蚀刻量的同时,提高线路铜和树脂间的物理结合力。然后在超粗化的铜表面增加有机膜,利用有机膜、铜及树脂间的共价键可以提高线路铜和树脂间的化学结合力。

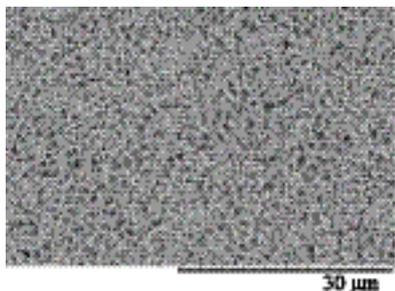


图 3 超粗化的电镀铜表面

介质材料与上层线路结合力的控制涉及一系列工艺,包括材料的回温取用时间、压合参数、固化条件、除胶工艺^[9],需根据材料的不同物化性质和固化机理,优化介质材料使用时的全套工艺参数。除胶工艺决定了介质表面的最终处理状态,包含 3 个步骤:1) 蓬松,

打散高分子树脂中的 C—C 键,降低键能,形成蜂窝状结构,使树脂易受高锰酸盐蚀刻液咬蚀;2) 除胶,利用碱性高锰酸盐蚀刻溶液除去内层钻污,清洁孔壁并且粗化树脂,形成几百纳米不等的粗糙表面;3) 中和,去除胶段反应的残留物并清洗残留的松散硅微粉。

因为设备及药水差异,同种材料的除胶工艺参数差别较大,但最终获得的介质表面状态是一致的。具体表现为树脂和硅微粉均匀分布、纳米级粗糙度的表面形貌,测量结合力的办法参照 IPC650 相关标准^[9]。以 GZ 系列为例,其中树脂为环氧树脂和氰酸酯树脂,相较于 GX 系列的环氧和苯酚硬化剂更难刻蚀,并且介质中的硅微粉填料质量占比达到 66%。不同除胶工艺铜剥离后的介质表面如图 4 所示,中科院微电子所的研究结果表明,当除胶不足时,介质表面有多处树脂平坦区域,部分较大尺寸的硅微粉剥落,这种形貌时对应的结合力仅为 0.15 N/mm,如图 4 (a) 所示;当除胶过量时,表面硅粉剥落的同时有大量硅粉半露在表面,虽然表面的粗糙度增加,但因表面硅粉面积占比较大,这时的结合力仍偏低,只达到 0.23 N/mm,若采用玻璃蚀刻剂对硅粉做微蚀处理,在硅粉和树脂间制造空隙即形成“锚定效应”^[9],也可以提高结合力;当除胶适量时,介质表面有树脂和松散硅粉剥落形成的粗糙度,同时表面剩余的硅粉被树脂包裹,或硅粉的大部分体积埋入树脂中,化铜工艺中的催化剂离子钯与树脂的吸附性优于玻璃,利用其优异的吸附性,可以获得化铜层和介质材料的较高结合力(0.4 N/mm 以上),满足精细线路工艺对无铜箔增厚介质结合力的需求(通常为 0.4~0.6 N/mm)。

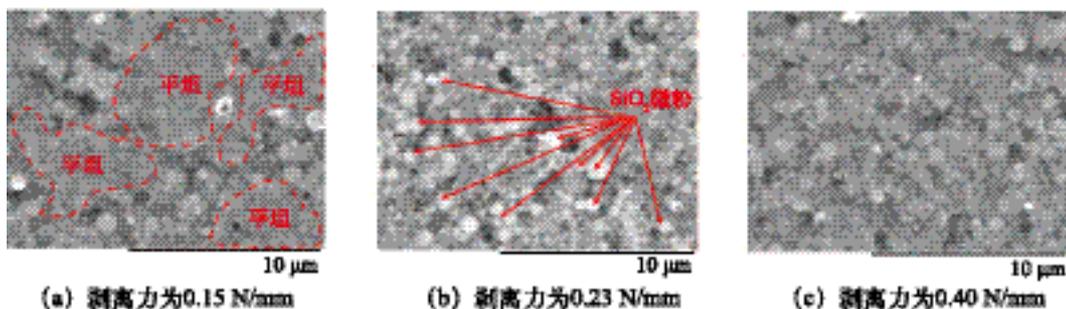


图 4 中科院微电子所研究的不同除胶工艺铜剥离后的介质表面

2.2 翘曲控制技术

翘曲是由于片状结构中不同组成部分间的 CTE 差异,在制造过程中,各个部分随温度变化涨缩不同,产生的机械应力不同,造成片状结构表面起伏。严重的基板翘曲会导致 2 个重要的问题:一是严重的翘曲导致无法封装或封装失效,最直接的结果是倒装焊的

焊球局部无法与 PCB 连接,或相邻焊球间发生桥接;二是过大的基板翘曲导致封装后的基板与芯片间存在较大应力,过大的应力导致焊球开裂、芯片开裂等可靠性问题。因材料特性不同,基板翘曲有一定的不确定性,但通过材料及结构的设计也可以实现对翘曲的控制。

2.2.1 翘曲的不确定性

FCBGA 封装基板翘曲是因为铜线路、绝缘树脂以及芯板间 CTE 失配产生的应力不平衡造成的基板形状改变。大部分相关文献都是关于封装后基板的翘曲检测和讨论, 对封装前的 FCBGA 基板翘曲的讨论非常少。由于基板材料中含有大量的高分子材料, 而这些材料的物理性质随加工工艺和热处理(比如回流、固化等条件)的差异, 参数变化较大, 很难得到如同金属一样的一致性。

LIN 等人^[7]对多家供应商提供的用于叠层封装(POP)的具有相同结构设计的基板(共 5 种基板), 进行了封装前和回流后的翘曲测量数据对比。选用 12 mm² 的方形 POP 封装用基板做设计, 其中 Core 厚度为 0.15 mm, 采用低 CTE 材料, 通过 2 层板制作后的基板厚度为 0.23 mm。翘曲模式包括内凹、外凸和组合模式 3 种, 如图 5 所示, 通常把内凹称为“笑脸”, 外凸称为“哭脸”, 对应的翘曲测量数据通常正值为“哭脸”, 负值为“笑脸”。5 种基板的翘曲测试结果如图 6 所示。

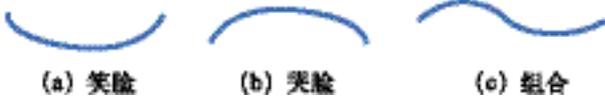


图 5 翘曲模式

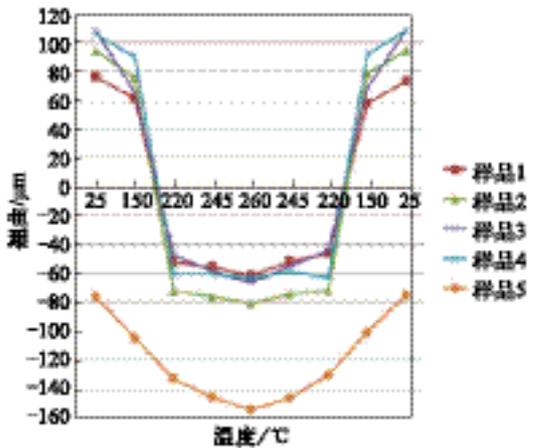


图 6 5 种基板的翘曲测试结果^[7]

从图 6 可以看出 (1) 不同供应商提供的基板翘曲差异超过 20 μm; (2) 采用低 CTE Core 的所有供应商提供的基板在室温下的翘曲均表现为“哭脸”; (3) 同一供应商采用不同工艺制造的基板, 其翘曲存在明显差异; (4) 采用超低 CTE 的 Core 的基板与所有供应商提供的样品具有完全不同的翘曲特性, 在室温下的翘曲表现为笑脸。不同厂商提供的具有同样的基板结构的产品, 其翘曲参数不同, 这是翘曲的一种不确定性。

基板翘曲的不确定性有以下几个方面的原因。

(1) Core 和绝缘层的主要成分是有有机树脂。有机树脂在加工过程中, 从半固化状态转变成固化状态, 分子间并不是完全彻底的结合。在一定的温度下, 固化会进一步发生, 对基板的物性和翘曲存在影响。不同厂家的基板工艺条件有差异, 所以固化后的物性差异导致翘曲不同, 物性测试结果表明, 经过不同的温度处理, 基板材料的物性存在差异。

(2) 基板吸湿对于基板翘曲有一定的影响。有机树脂均有一定的吸水率, 加工完全的基板在空气中吸收了水汽, 水分子在基板中扩散是一个逐渐发生的过程, 所以吸收水汽对于基板的翘曲也有影响。基板在封装前需要在一定的温度下烘烤一段时间, 就是为了通过烘烤将基板吸收的水汽去除, 增加尺寸的稳定性。不同厂家基板的存放时间和存放条件的差异, 导致其吸湿程度不同, 也会存在翘曲差异。

(3) Core 本身具有一定的翘曲。Core 本身是由多层玻纤布叠压制成的, 玻纤布的经线和纬线的张力不同, 叠压时多层玻纤布的经线和经线对齐, 纬线和纬线对齐, 才可以尽可能地减小 Core 的翘曲, 但在实际加工中是无法实现每层玻璃纤维的经线和纬线完全精准对齐的。

2.2.2 基板翘曲的控制技术

基板翘曲具有一定程度的不确定性, 但翘曲控制仍有一定的规律可循。FCBGA 基板的典型材料及其 CTE 如表 2 所示, Core、ABF 介质材料、铜布线、阻焊材料和图形均是影响翘曲的因素, 完整基板的 CTE 与层数厚度以及铜线路的布线设计等诸多因素有关。

表 2 FCBGA 基板的典型材料和 CTE

组成部分	材料	CTE/(10 ⁻⁶ ·°C ⁻¹)
Core	E705G	5
ABF 介质	GZ41	20
铜布线	Cu	17
阻焊材料	SR7300	38
焊球	SAC305	19

第一, 基板 CTE 与弹性模量。NAKAMURA 等人^[8]描述了基板材料的物性对基板翘曲的影响 (1) Core 的 CTE 越小, 封装翘曲越小; (2) Core 的弹性模量越高, 封装翘曲越小; (3) CTE 的影响超过弹性模量的影响。Core CTE 和弹性模量对封装翘曲的影响如图 7 所示。

第二, Core 的厚度。KOICHI^[9]描述了完整基板的 CTE 和 Core 厚度的关系, 如图 8 所示。随着 Core 厚度的增加, 多层基板的 CTE 从 20×10⁻⁶·°C⁻¹ 下降到接近

$16 \times 10^{-6} \cdot ^\circ\text{C}^{-1}$ 。为降低基板的整体翘曲,采用低 CTE 材料作为 Core,Core 采用玻璃纤维增强的树脂结构,其 CTE 是所有基板材料中最低的。同样的叠层结构,Core 厚度增加,Core 在整个基板中的厚度占比增大,基板整体的 CTE 也随之下降。通过增加 Core 的厚度(如从 0.8 mm 增加至 1.4 mm)来降低翘曲,这一方法在实际的大尺寸 FCBGA 基板制造中被广泛使用。

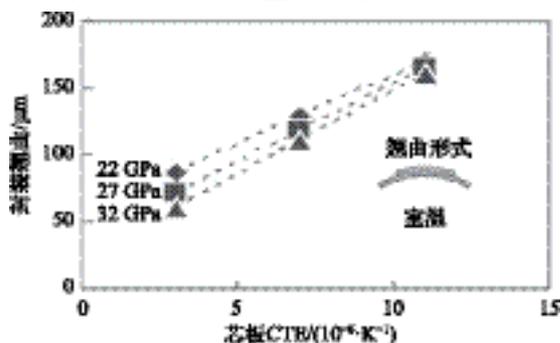


图 7 Core CTE 和弹性模量对封装翘曲的影响^[8]

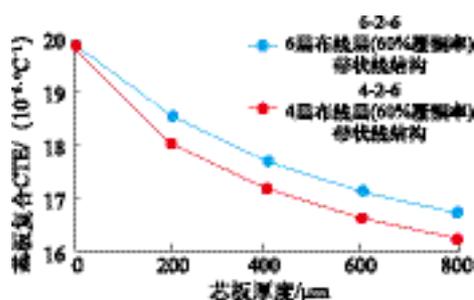


图 8 基板 CTE 与厚度的关系^[9]

第三,结构设计与工艺。FCBGA 基板结构如图 9 所示,由于 FCBGA 基板都是对称加工的,2 侧绝缘层介质均采用同种材料。在保证信号完整性的前提下,设计相对于 Core 对称的布线层,并且上下布线层的覆铜率保持一致,铜线路分布应尽可能均匀,保证绝缘层树脂厚度一致,形成相对于 Core 对称分布的线路和绝缘层结构。在此前提下,基板制造工艺的一致性尤为重要,如图形掩模工艺中的曝光和显影对干膜线宽/线间距的控制,图形电镀工艺中铜线路的高度,压合工艺中的介质压合厚度及闪蚀工艺中铜线路图形闪蚀的均匀性等,并且在多层板的制造过程中保持一致的工艺控制和最短时间的工艺衔接。对称的 2 层是同时加工完成的,对称 2 层的布线和绝缘层具有相同的 CTE,与 Core 间形成的热失配、产生的机械应力互相平衡,可以最大程度地降低翘曲。

总之,材料选择的匹配和结构设计的对称,对称结构制造的一致性,增层与内层结构间达到应力平衡,是减小 FCBGA 基板翘曲的关键。

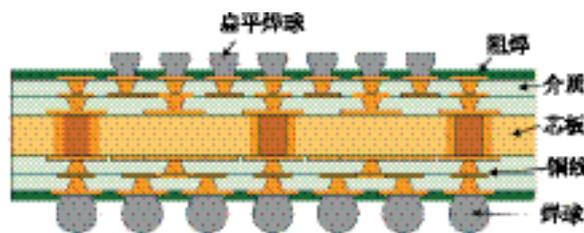


图 9 FCBGA 基板结构

2.3 局部增强技术

随着器件工作频率、互连密度的增加,电互连延迟以及损耗已经成为越来越突出的问题^[10]。在集成数量增大、密度增高的应用需求下,面对芯片高密度互连接口和板级工艺的尺寸差距及性能提升要求,业界的解决方法主要分为 3 个方向:(1)将芯片引脚进行扇出以适应更大尺度的连接,如晶圆级扇出再分配^[11];(2)寻求中间转接结构,如含硅通孔的转接板^[12];(3)开发更细线宽/线间距、更小互连直径与截距的工艺路线,研发更高性能、更高工艺适应性的材料,如日本 Shinko 开发的顶层细线路基板 i-THOP^[13]。上述方案在研发方面均有优势较为突出的样品及可靠性验证报道^[14-16],但在市场需求与成本管控的冲突下,硅转接板与板级细线路开发在多种产品应用中遇到瓶颈,因此需要开辟一条可实现低成本、高密度集成的新路径。

英特尔的嵌入式多芯片互连桥 (EMIB) 技术^[17]将后 2 个方向进行了优势互补,舍弃了难度大、成本高的硅通孔技术,保留硅转接板中的细线路,使之成为硅桥结构,并通过增层技术将其埋置于基板中,将硅桥上引出的窄节距焊盘和 2 颗倒装芯片上的微凸点键合互连,基板上的宽节距焊盘和倒装芯片上的可控塌陷芯片连接 (C4) 凸点键合互连。硅桥分担了芯片间的通信,信号与地则可排布在基板布线层中,一方面在硅桥上实现了低损耗、高密度的高速互连,另一方面分担了增层布线压力,降低基板细线路、叠孔等的加工难度,减少多层板加工的翘曲问题。巨大的优势使得这一技术迅速被业内认可,业界围绕硅桥与基板开展了一系列研究。2015 年,英特尔的 EMIB 技术被应用于 Stratix® 10 产品中,其取代硅转接板实现了基板与多个高带宽存储器 (HBM) 的集成,实现焊盘节距为 55 μm,互连密度达 256~625/mm,英特尔 EMIB 产品如图 10 所示^[18]。自此,硅桥逐渐成为各大研究机构及公司探索高密度互连、系统化异质集成的主要路径之一。

IBM 提出直接键合异质集成 (DBHi) 的方法^[20],将硅桥和 2 颗芯片分别通过小直径铜柱键合,在完成布线后的基板特定区域的表面挖槽,再将键合好的硅桥

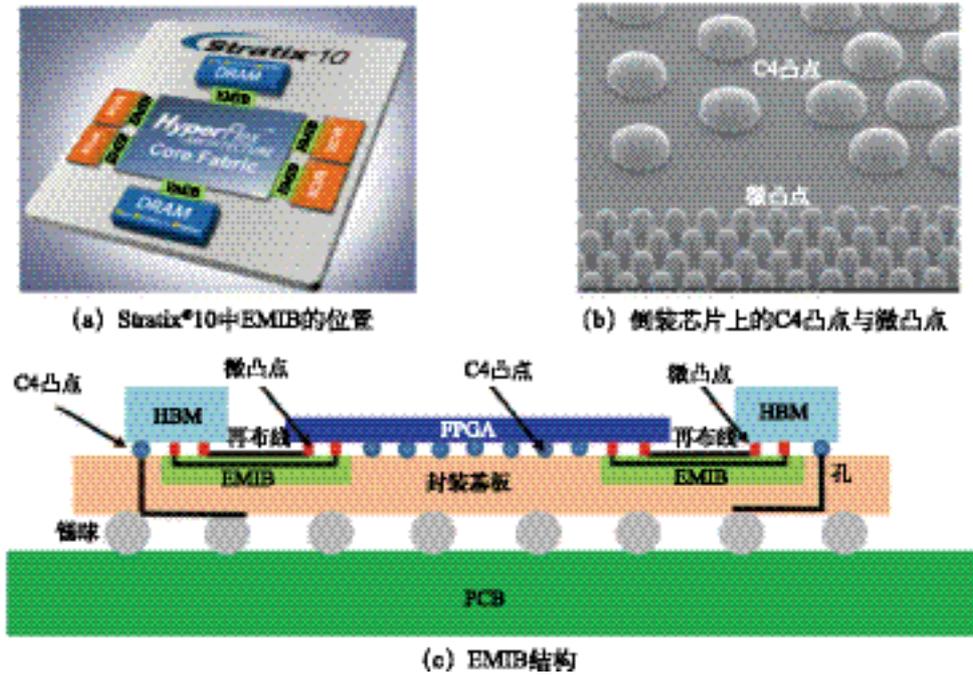


图 10 英特尔 EMIB 产品^[9]

和芯片整体表面贴装到基板的槽体内,基板上的焊盘和倒装芯片通过大直径可控塌陷焊球分别进行键合,实现了硅桥与基板通过异质异构接口同步与应用芯片的集成,IBM 的 DBHi 结构如图 11 所示。单层 I/O 密度最高达到 400 个,在 5 GHz 频率下,其损耗低于 1.5 dB。

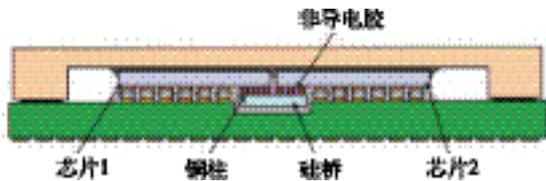


图 11 IBM 的 DBHi 结构^[20]

最近,中国科学院微电子所设计研发的硅桥可实现单边互连带宽为 $2.7 \text{ Tbit} \cdot \text{s}^{-1} \cdot \text{mm}^{-1}$,并成功将其集成于基板中。图 12 为 IME 甚高密度互连埋入 (UHDIE) 基板样品剖面图,该基板在 40 GHz 频率下的插入损耗测试中,插入损耗降低至 2.0 dB,串扰为 21 dB,其单通道传输速率达 40 Gbit/s。嵌入式硅桥技术需要硅桥和基板 2 种技术的密切联合互动。通过开腔和层压技术将硅桥埋置于板内的技术挑战主要来自精准贴片、大小孔同步填充与小节距引出结构加工等工艺。微电子所实现了 $50 \mu\text{m}$ 的硅桥焊盘全引出的 8 层板加工,其中同步镀孔的直径差达 $90 \mu\text{m}$ 。

嵌入式硅桥技术仍然存在一些挑战。在性能指标上,国际上嵌入式硅桥技术的单边互连吞吐带宽在 AIB 接口的标准下发展,然而目前 AIB 接口的单通道

速率仅为 2 Gbit/s ,单边吞吐量为 $504 \text{ Gbit} \cdot \text{s}^{-1} \cdot \text{mm}^{-1}$ 。新推出的 UCle2.0 接口,希望通过当今 $45 \mu\text{m}$ 凸点间距的先进封装技术将芯片的单边吞吐带宽提升到 $1.3 \text{ TB} \cdot \text{s}^{-1} \cdot \text{mm}^{-1}$ ^[21]。芯片间的带宽吞吐量的发展是不间断、无上限的,因此如何尽可能地提高芯片的带宽是目前嵌入式硅桥技术面临的一大指标挑战。在结构上,以 EMIB 为代表的嵌入式硅桥技术在国际上已经得到了应用,但是目前的 EMIB 技术还主要局限在 2 个芯粒 (Chiplet) 为一组的边到边的互连。随着芯粒个数的增加,芯粒间互连需求的增加,硅桥的个数会成倍地增长,这种增长带来的大数量硅桥埋入又增加了工艺难度。

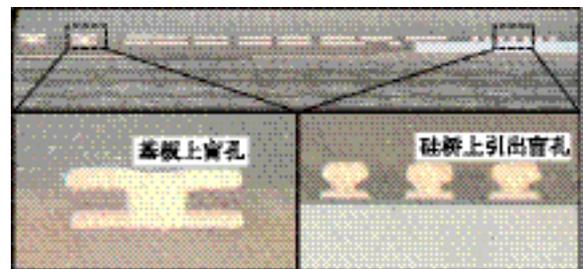


图 12 IME UHDIE 基板样品剖面

3 FCBGA 基板技术展望

在材料方面,对于大尺寸系统级芯片 (SoC) 封装来说,FCBGA 基板的 CTE 需要更低,才能保证大尺寸芯片封装的可靠性。ABF 材料进一步降低 CTE 的难度很

大, BT 材料的半固化片的 CTE 可以达到 $1 \times 10^{-6} \cdot ^\circ\text{C}^{-1}$ ~ $3 \times 10^{-6} \cdot ^\circ\text{C}^{-1}$, 作为堆积的绝缘材料在降低 FCBGA 基板整体 CTE 方面会做出重要贡献。未来更大尺寸的 SoC 封装中, 采用 PP 半固化作为介质绝缘层, 替代 ABF 或和 ABF 同时使用以降低 CTE 及基板翘曲、提高封装的可靠性, 是可选的技术路径之一。未来的 FCBGA 基板在高密度布线方面, 线宽/线间距在 $7 \mu\text{m}/7 \mu\text{m}$ 水平上将持续相当长的一段时间, 除非 ABF 作为增层核心材料这一状况发生改变。如果液态绝缘树脂在 FCBGA 基板上能够大规模应用, 最小线宽/线间距会进一步降低到 $5 \mu\text{m}/5 \mu\text{m}$, 甚至有可能达到 $2 \mu\text{m}/2 \mu\text{m}$ 。液态树脂绝缘材料与现有的基板制造技术相距甚远, 因其环保及材料利用率等问题, 离被基板制造商接受还有一定的距离。光敏绝缘材料可实现小盲孔, 对于提高布线密度有帮助。但是, 如果光敏树脂不能摆脱树脂+颗粒填充物的体系, 提高布线密度, 其达到高良率也是非常困难的。

在结构方面, EMIB 基板大量用于芯粒封装。相比硅转接板, 其具有低成本的技术优势, 而且可降低 FCBGA 基板层数, 未来在三维异质集成封装中会有大量的应用。由于硅桥的设计和制造并非现有基板厂的工作内容, 必须有强有力的封装设计和基板设计能力, 同时还要有代工厂的支持才能实现。目前, 基板厂需要和终端用户紧密配合, 才能完成芯片+硅桥+EMIB 基板的整体设计; 长远来看, 基板厂需要建立自己完善的封装设计团队, 否则, 制造 EMIB 的基板厂只能服务于那些头部设计公司。目前已经有多种利用硅桥进行局部增强布线的封装方式, 未来在 FCBGA 基板中嵌入全新的硅桥封装也是值得期待的。

在市场方面, 近几年随着全球数据需求的迅速增加, 网络和数据中心得到迅速发展。数据处理、数据传输和数据存储都对芯片的要求越来越高, SoC 芯片的功能越来越复杂, 尺寸越来越大。尽管如此, SoC 的技术进步仍然满足不了数据处理芯片的性能要求, 人们开始采用 Chiplet 技术, 通过三维异质集成来提高系统级封装的性能, 满足数据处理快速增长的需求。FCBGA 基板的尺寸越来越大, 在一个基板上放置的芯片数量越来越多, 基板的层数也越来越多, 大尺寸、高叠层的 FCBGA 基板已经成为目前基板市场中增长最快的产品。2019—2022 年, FCBGA 基板市场的年平均增长率超过 27%, 呈现出爆发式增长态势。FCBGA 基板已经成为目前封装市场上最为抢手的高端产品。全球的 FCBGA 基板市场出现一板难求的现象, 基本

的交货期通常超过一年。需求小的客户无法得到基板厂的支持, 而头部企业动辄包下整个基板厂的产能。FCBGA 基板的制造商主要集中在日本、韩国和中国台湾地区, 3 地的高端基板制造商近年来纷纷扩产, 预计 2025 年前后 FCBGA 基板市场的缺货情况会有所缓解。

总之, FCBGA 基板作为高端芯片封装的载体, 因其良好的可加工性能, 无论现在还是未来, 在高端芯片封装领域都起到非常重要的作用。随着材料科学的进步, 未来 FCBGA 基板技术会有进一步的发展。

参考文献:

- [1] LAU J H. Semiconductor Advanced Packaging[M]. New York: Springer, 2021.
- [2] LAU J H. Recent advances and trends in advanced packaging[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2022, 12(2): 228-252.
- [3] Ajinomoto Fine-Techno Co., Inc. Insulation film[Z].
- [4] GRANADO L, KEMPA S, GREGORIADES L J, et al. Improvements of the epoxy-copper adhesion for microelectronic applications[J]. ACS Applied Electronic Materials, 2019, 1(8): 1498-1505.
- [5] The institute for interconnecting and packaging electronic circuits. Peel strength of metallic clad laminates: IPC-TM-650 2.4.8C-1994 [S]. Bannockburn: IPC-Association Connecting Electronics Industries, 1994.
- [6] KEMPA S, FRIZ W, GAUL F, et al. Investigation of a proactive glass filler removal in IC substrate build up films and its effect on topography and copper adhesion reliability [J]. International Microelectronics Assembly and Packaging Society, 2018(1): 634-639.
- [7] LIN W, WEN S M, YOSHIDA A, et al. Evaluation of raw substrate variation from different suppliers and processes and their impact on package warpage[C]// Electronic Components and Technology Conference, San Diego, CA, USA, IEEE, 2012: 1406-1411.
- [8] NAKAMURA Y, KATO S. Technology trends and future history of semiconductor packaging substrate material [J]. Hitachi Chemical Technical Report, 2013, 55(55): 25-30.
- [9] KOICHI N. Large body FCBGA substrate [EB/OL]. (2009-11-17) [2022-10-30]. http://thor.inemi.org/webdownload/newsroom/Pkg_Substrates_Nov09/Large_body.pdf.
- [10] KNICKERBOCKER J U, BUDD R, DANG B, et al. Heterogeneous integration technology demonstrations for

- future healthcare, IoT, and AI computing solutions [C]// 2018 IEEE 68th Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, 2018: 1519-1522.
- [11] YU D Q. Embedded silicon fan-out (eSiFO[®]) technology for wafer-level system integration[J]. *Advances in Embedded and Fan-Out Wafer-Level Packaging Technologies*, 2019: 169-184.
- [12] MALTA D, VICK E, GOODWIN S, et al. Fabrication of TSV-based silicon interposers [C]// 2010 IEEE International 3D Systems Integration Conference (3DIC), Munich, Germany, 2010: 1-6.
- [13] OI K, OTAKE S, SHIMIZU N, et al. Development of new 2.5D package with novel integrated organic interposer substrate with ultra-fine wiring and high density bumps [C]// 2014 IEEE 64th Electronic and Components Technology Conference, Orlando, FL, USA, 2014: 348-353.
- [14] LIN Y T, LAI W H, KAO C L, et al. Wafer warpage experiments and simulation for fan-out chip on substrate [C]// 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, 2016: 13-18.
- [15] JI M, LI M, CLINE J, et al. 3D Si interposer design and electrical performance study[C]// *Designcon Conference*, Santa Clara, CA, USA, 2013: 1-23.
- [16] SHIMIZU N, KANEDA W, ARISAKA H, et al. Development of organic multi chip package for high performance application [J]. *International Symposium on Microelectronics*, 2013(1): 000414.
- [17] CHIU C P, QIAN Z, MANUSHAROW M J. Bridge interconnect with air gap in package assembly: US8872349 [P]. 2017-08-03.
- [18] MAHAJAN R, SANKMAN R, PATEL N, et al. Embedded multi-die interconnect bridge (EMIB)-a high density, high-bandwidth packaging interconnect [C]// 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, 2016: 557-565.
- [19] LAU J H. Heterogeneous integrations [EB/OL]. (2009-04-04) [2022-11-17]. http://doi.org/10.1007/978-981-13-7224-7_4.
- [20] SIKKA K, BONAM R, LIU Y, et al. Direct bonded heterogeneous integration (DBHi) Si bridge [C]// 2021 IEEE 71st Electronic and Components Technology Conference (ECTC), San Diego, CA, USA, 2021: 136-147.
- [21] PYAN S. Universal chiplet interconnect express (UCIe) announced: Setting standards for the chiplet ecosystem [EB/OL]. (2022-03-02) [2022-11-17]. [http:// https://www.anandtech.com/show/17288/universal-chiplet-interconnect-express-ucie-announced-setting-standards-for-the-chiplet-ecosystem](http://https://www.anandtech.com/show/17288/universal-chiplet-interconnect-express-ucie-announced-setting-standards-for-the-chiplet-ecosystem).



作者简介:

方志丹 (1977—), 女, 黑龙江五常人, 博士, 正高级工程师, 主要研究方向为先进封装领域高密度基板及功能基板的集成技术。

“先进三维封装与异质集成” 专题组稿专家



于大全 博士,厦门大学闽江学者特聘教授、微电子与集成电路系主任,厦门云天半导体科技有限公司创始人。1995—2004 年就读于大连理工大学,获得工学学士和工学博士学位。曾在香港城市大学、德国夫豪恩霍夫可靠性和微集成研究所、新加坡微电子所等国际知名研究机构开展研究工作;2010—2015 年担任中国科学院微电子研究所研究员;2014—2019 年担任天水华天科技股份有限公司封装技术研究院院长。先后入选德国洪堡学者,中国科学院“百人计划”、江苏省“双创人才”和福建省“百人计划”等人才计划;担任国家 02 重大专项总体组特聘专家、中国半导体行业协会 MEMS 分会副理事长、全国半导体器件标准化技术委员会委员。主持多项国家科技重大专项 02 专项 / 课题、国家自然科学基金项目。长期从事先进微电子封装技术与产业化,圆片级先进封装核心技术成果得到规模化量产。发表论文 200 多篇,授权专利 80 多项。荣获 2018 年北京市科技进步二等奖、2019 年江苏省科技进步三等奖、2020 年国家科学技术进步一等奖。



刘胜 博士,武汉大学、华中科技大学教授,中国杰青,长江学者特聘教授,武汉大学工业科学研究院执行院长,动力与机械学院院长、微电子学院副院长。南京航空航天大学学士、硕士,美国斯坦福大学博士。1995—2001 年任美国 Wayne 州立大学机械工程系和制造研究所终身教职,电子封装实验室主任;2001—2013 年任华中科技大学微系统研究中心主任、武汉光电国家实验室(筹)微光机电系统研究部负责人;2002—2006 年受聘为科技部微机电系统重大专项总体专家组专家;2006—2011 年受聘为科技部半导体照明重大项目总体专家组专家;2012 年至今受聘为国家 863 计划先进制造技术领域主题专家组专家;IEEE Fellow、ASME Fellow;Science Bulletin、Microsystems & Nanoengineering 等期刊副主编。长期从事集成电路、LED 和微传感器封装及可靠性理论和前沿技术研究。发表 SCI 论文 350 余篇,他引 7500 余次,合作出版专著 6 部(英文 4 部),授权发明专利 176 项。以第一完成人获国家技术发明奖二等奖、教育部技术发明奖一等奖、2020 年国家科学技术进步一等奖等奖项。



王启东 博士,中国科学院微电子研究所研究员,系统封装与集成研发中心副主任。东南大学电子科学与技术系工学学士,英国诺丁汉大学通信与计算机科学硕士,中国科学院大学微电子与固体电子学工学博士。2009 年加入中国科学院微电子研究所,2015—2016 年斯坦福大学访问学者。作为项目与课题负责人承担多项 02 国家重大专项、中科院先导 C 专项、自然科学基金国际重点合作项目、多地地方重点技术合作项目等。主要研究方向为三维异质集成技术,在 Nature、TAP、AWPL、Physical Review A、JINST、Microelectronics Reliability、MOTL、TNS 等期刊发表文章 60 余篇,申请中国发明专利 76 项,获北京市科技进步奖二等奖 1 项,中国科学院科技促进发展奖 1 项。