

芯片三维互连技术及异质集成研究进展*

钟毅¹, 江小帆¹, 喻甜¹, 李威^{1,2}, 于大全^{1,2}

(1. 厦门大学电子科学与技术学院, 福建 厦门 361005; 2. 厦门云天半导体科技有限公司, 福建 厦门 361013)

摘要: 集成电路的纳米制程工艺逐渐逼近物理极限, 通过异质集成来延续和拓展摩尔定律的重要性日趋凸显。异质集成以需求为导向, 将分立的处理器、存储器和传感器等不同尺寸、功能和类型的芯片, 在三维方向上实现灵活的模块化整合与系统集成。异质集成芯片在垂直方向上的信号互连依赖硅通孔 (TSV) 或玻璃通孔 (TGV) 等技术实现, 而在水平方向上可通过再布线层 (RDL) 技术实现高密度互连。异质集成技术开发与整合的关键在于融合实现多尺度、多维度的芯片互连, 通过三维互连技术配合, 将不同功能的芯粒异质集成到一个封装体中, 从而提高带宽和电源效率并减小延迟, 为高性能计算、人工智能和智慧终端等提供小尺寸、高性能的芯片。通过综述 TSV、TGV、RDL 技术及相应的 2.5D、3D 异质集成方案, 阐述了当前研究现状, 并探讨存在的技术难点及未来发展趋势。

关键词: 三维异质集成; 先进封装; 硅通孔; 玻璃通孔; 再布线层

中图分类号: TN305.94 文献标志码: A 文章编号: 1681-1070 (2023) 03-030102

DOI: 10.16257/j.cnki.1681-1070.2023.0041

中文引用格式: 钟毅, 江小帆, 喻甜, 等. 芯片三维互连技术及异质集成研究进展[J]. 电子与封装, 2023, 23(3): 030102.

英文引用格式: ZHONG Yi, JIANG Xiaofan, YU Tian, et al. Advances in three-dimension interconnection technology and heterogeneous integration of chips[J]. Electronics & Packaging, 2023, 23(3): 030102.

Advances in Three-Dimension Interconnection Technology and Heterogeneous Integration of Chips

ZHONG Yi¹, JIANG Xiaofan¹, YU Tian¹, LI Wei^{1,2}, YU Daquan^{1,2}

(1. School of Electronic Science and Engineering, Xiamen University, Xiamen 361005, China;

2. Xiamen Sky Semiconductor Technology Co., Ltd., Xiamen 361013, China)

Abstract: As the nano fabrication process of integrated circuits is approaching its physical limit gradually, it is becoming increasingly important to continue and expand Moore's Law through heterogeneous integration. Heterogeneous integration is demand-oriented, it realizes flexible modular integration and system integration in three-dimensional direction for chips of different sizes, functions and types, such as discrete processors, memories and sensors. Heterogeneous integrated chips rely on either through silicon via (TSV) or through glass via (TGV) technologies for signal interconnection in the vertical direction. In horizontal direction, high-density interconnection can be achieved through redistribution layer (RDL) technology. The key to the development

* 基金项目: 中央高校基本科研业务费专项资金 (20720220072); 国家自然科学基金青年项目 (62104206)

收稿日期: 2022-11-01

E-mail: 钟毅 zhongyi@xmu.edu.cn; 于大全 (通信作者) yudaquan@xmu.edu.cn

and integration of heterogeneous integration technology lies in the integration of multi-scale and multi-dimensional chip interconnection. Through the cooperation of three-dimensional interconnection technology, the chiplets with different functions are heterogeneous integrated into one package, so as to improve the bandwidth and power efficiency and reduce delay, and provide small and high-performance chips for high-performance computing, artificial intelligence and intelligent terminals. The technology of TSV, TGV and RDL, and the corresponding 2.5D, 3D heterogeneous integration schemes are reviewed. The current research status is described. The existing technical difficulties and future development trend are discussed.

Keywords: three-dimension integration; advanced packaging; through silicon via; through glass via; redistribution layer

1 引言

芯片是推动信息社会蓬勃发展的基石,掌握高端芯片的制造技术关乎国家未来在人工智能、高性能计算、5G/6G 通信和万物互联等关键领域的全球竞争力。由于集成电路的纳米制程工艺逐渐逼近物理极限,通过芯片三维异质集成来延续和拓展摩尔定律的重要性日趋凸显^[1-8]。异质集成以需求为导向,将分立的处理器、存储器和传感器等不同尺寸、功能和类型的芯片,在三维方向上实现灵活的模块化整合与系统集成^[9]。此时,如何实现互连芯片之间高带宽、低延迟和低损耗的信号传输,成为突破高端芯片内存墙、速度墙和功耗墙等瓶颈的关键^[2-6]。据台积电测算^[5-6],若芯片堆叠的垂直互连间距从现有的 36 μm 降至 0.9 μm ,互连密度至少可增加 3 个数量级,实现 10 倍以上的通信速度、20 倍的能源效率和近 2 万倍的带宽密度提升。以芯片封装互连密度来表述的摩尔定律也获得了广泛共识。由此可见,高密度三维互连技术将成为未来推动芯片持续向高性能和微型化发展的关键引擎。

随着芯片模块化思想及芯粒 Chiplet,一类在独立裸片上设计、采用不同工艺制程制作并可复用集成的芯片)技术的提出和发展,芯片设计、工艺制程和封装测试由单片一体化向多模块灵活整合发展^[2],因此封装技术需进行相应的深度开发和模块化整合。21 世纪以来,美国国防部高级研究计划局(DARPA)、欧洲微电子研究中心(IMEC)、德国 Fraunhofer、法国 Leti、新加坡 IME、美国麻省理工学院、佐治亚理工学院等单位均陆续投入大量资源,开展深入的三维异质集成研发工作。这些顶尖研究机构借助系统集成方面的基础优势,针对多芯片三维异质集成技术的开发一直走在世界前列^[8]。值得注意的是,2022 年初,英特尔、台积电、三星、高通、谷歌等行业领先企业成立了通用

Chiplet 高密度互连联盟(UCE),旨在整合推广三维芯片互连及异质集成的技术标准并构建完善生态,这也标志着异质集成技术进入了发展及产业应用的关键阶段^[9]。

事实上,异质集成技术开发与整合的关键在于融合实现多尺度、多维度的芯片互连,从而提高带宽和电源效率并减小延迟,为高性能计算、人工智能和智慧终端等提供更小尺寸和更高性能的芯片。芯片的垂直方向互连依赖硅通孔(TSV)或玻璃通孔(TGV)等技术,水平方向上通过再布线层(RDL)技术进行互连。本文综述了 TSV、TGV、RDL 等芯片三维互连技术,分析基于这些互连技术的三维异质集成方案及应用,阐述当前研究现状,并探讨存在的技术难点及未来发展趋势。

2 芯片三维互连技术

通过垂直方向上的 TSV/TGV 技术与水平方向上的 RDL 技术的配合,对芯片进行三维互连,可将不同尺寸、材料、制程和功能的 Chiplet 异质集成到 1 个封装体中,形成的三维异质集成及互连结构如图 1 所示。

2.1 TSV 技术

TSV 主要用于实现垂直方向上的信号连接,其中 Cu-TSV 的应用最为广泛。典型的 Cu-TSV 制造工艺包括以下关键步骤:深孔刻蚀、形成绝缘层/粘附阻挡层/种子层、电镀 Cu 填充、去除多余 Cu 及背面的 TSV-Cu 外露^[10-14]。目前用于三维异质集成的 TSV 直径约为 10 μm ,深宽比约为 10:1。与半导体领域的其他技术发展方向类似,TSV 的直径、间距和深度等关键尺寸亟需缩小。TSV 直径的减小,不但能够减少其占用面积、提高互连密度,还可以显著减少 Cu-TSV 附近的应力,避免影响器件性能。根据 TSV 的直径及深宽比的路线图,未来先进 TSV 工艺的直径有望减小到 1 μm ,深宽比达到 20:1^[15]。国际上重要的半导体科研机构和领先企业已经开始研究亚微米直径的 TSV 技术。

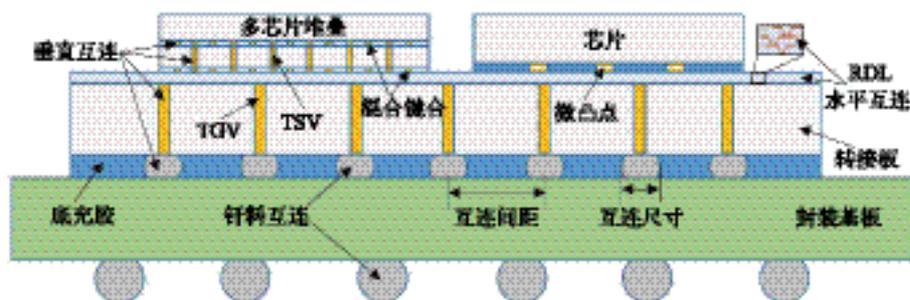


图 1 三维异质集成及互连结构

细小直径、高深宽比的 TSV 加工的主要难点包括如何形成连续均匀的绝缘层 / 粘附阻挡层 / 种子层和无缺陷的超共形电镀 Cu 填充等。由于物理气相沉积 (PVD)、化学气相沉积 (CVD) 在微米尺度深孔内覆盖率低,通过 PVD、CVD 沉积绝缘层、粘附阻挡层和种子层不利于 TSV 尺寸的进一步缩小^[10]。原子层沉积 (ALD) 可制备小直径、高深宽比的共形薄层,成为突破 PVD 工艺瓶颈的关键技术。ALD 具有的优势包括: 较低的工艺温度,比现有 CVD 及 PVD 工艺更好的深孔覆盖能力,介质沉积前无需表面处理,更薄的介质层减少了 TSV 的抛光处理时间。2015 年,IMEC 报道了直径为 3 μm 、深度为 50 μm 的 TSV 制造工艺,采用 ALD 沉积氧化绝缘层、WN 扩散阻挡层,利用化学镀 NiB 作为电镀种子层,快速深孔电镀工艺实现 TSV 填充^[11]。日本学者研究了直径为 2 μm 、深度为 30 μm 的 TSV 结构,在 ALD-Ru、ALD-W 上化学镀沉积铜,然后完成 TSV 电镀铜填充,化学镀铜和 ALD-Ru 之间的结合强度大于 100 MPa^[11-12]。然而,当前工艺探索和研究还缺乏系统性,深孔电镀 / 化学镀填充、ALD 沉积形成多界面材料和结构的电学特性、可靠性以及失效机理都还需要深入研究。

2.2 TGV 技术

TGV 作为 TSV 的低成本替代方案,逐渐受到广泛关注。TGV 无需沉积绝缘层,具有高频电学特性优良、工艺流程简单的特点。此外,玻璃的机械稳定性强、翘曲小且成本低,大尺寸玻璃易于获取。TGV 在射频组件、光电集成和 MEMS 器件等三维封装领域具有广阔的应用前景^[16-17]。

以盲孔为例的 TGV 的工艺流程包括: 首先制备 TGV 盲孔; 其次通过物理气相沉积的方法在 TGV 盲孔内部沉积 Ti/Cu 种子层 (工艺温度为 250~400 $^{\circ}\text{C}$); 接着利用 TGV 深孔电镀,自底而上进行孔内填充,实现 TGV 无孔洞填充并退火。近年来,关于 TGV 的成孔方法被广泛研究报道,如喷砂法、光敏玻璃法、等离子刻蚀法、激光烧蚀和激光诱导湿法刻蚀法等^[16]。其

中,激光诱导湿法刻蚀技术具有快速高效成孔、工艺简单、侧壁光滑、高精度成孔等显著优点,被广泛应用于各种玻璃材料的三维微流道加工。2014 年,德国 LPKF 公司的 OSTHOLT 等人^[18]利用激光诱导湿法刻蚀技术率先制备出应用于玻璃三维集成的 TGV。结果显示,对于厚度为 50~200 μm 的玻璃,通过改变氢氟酸 (HF) 蚀刻参数可以得到直径为 10~50 μm 、节距不小于 50 μm 的 TGV。然而,其侧壁垂直度较差,锥度均大于 5 $^{\circ}$,对电学性能及可靠性都有负面影响。另外,TGV 的深宽比往往可决定芯片的集成度,该方法制备的 TGV 深宽比一般不大于 6:1,远小于先进 TSV 工艺所能达到的 20:1。CHEN 等人^[19]采用皮秒激光对硼硅酸盐玻璃进行改性时,发现在激光束传播路径的影响区出现的一系列纳米孔洞增强了玻璃样品在 HF 溶液中的选择性蚀刻能力。通过调节激光脉冲和 HF 溶液浓度等,可针对特定成分的玻璃改善 TGV 侧壁垂直度。刻蚀液选择性蚀刻的原因及蚀刻速率随激光脉冲能量改变的机理仍有待阐明;超 / 兆声振动、温度和蚀刻液浓度等因素及多场耦合对蚀刻速率和选择比的影响等重要问题仍未得到研究。

目前,垂直 TGV 通孔的电镀填充方式一般为蝶形填充,其与 TSV 硅基半导体工艺自下而上的盲孔电镀填充具有本质差别^[20]。与盲孔填充相比,通孔填充在流体力学与质量传输方面均存在明显差异。盲孔填充时,镀液在孔内很难流动;而在通孔内部,镀液可以流动从而加强内部的传质。且通孔与盲孔的几何形状不同,没有盲孔底部,不会产生自下而上的填充方式。TGV 通孔与盲孔在几何形状、流场、质量传输等方面的差异,导致用于盲孔填充的电镀配方及工艺无法直接用于 TGV 通孔。另一方面,由于 TGV 的直径、深宽比、表面粗糙度及垂直度等均与印制电路板 (PCB) 通孔有显著差异,现有通孔填充理论应用于 TGV 电镀填充具有很大的局限性,需综合考虑电流密度、添加剂、流场和传质等多因素耦合,但目前仍缺乏相关研究。

除 TGV、TSV 以外, 通模通孔 (TMV)、封装通孔 (TPV) 等技术也是满足微电子封装高密度和多功能要求的潜在解决方案^[21-23]。TMV 是一种在封装尺度上的工艺, 通过垂直通孔与 RDL 技术, 可有效地为封装上封装 (PoP) 与多芯片嵌入式堆叠封装中的不同封装提供垂直互连。目前用于垂直互连的 TMV 孔径一般为 25~150 μm , 深度为 100~1 000 μm 。此外, 获得高质量的 TMV 仍需解决制备 TMV 过程中管壁平整度、通孔中的残渣和散热导致的芯片与模具分层等问题^[22]。具有细间距 TPV 的薄玻璃中介层因其具有绝缘性能、大面板可用性和与硅匹配的热膨胀系数, 而能够作为 3D 集成的低成本和高 I/O 基板^[23]。在玻璃上实现 TPV 的一般方法有激光烧蚀法、深反应离子蚀刻及光化学蚀刻法。作为 TSV 的替代方案, 实现更小尺寸的 TPV 直径与金属化仍需深入研究。

2.3 RDL 技术

RDL 是实现芯片水平方向互连的关键技术, 可将芯片上原来设计的 I/O 焊盘位置通过晶圆级金属布线工艺变换位置和排列, 形成新的互连结构。借鉴 PCB 铜布线工艺, RDL 可通过加成法、半加成法等方法加工。典型的 RDL 半加成工艺包括^[24] (1) 形成钝化绝缘层并开口; (2) 沉积粘附层和种子层; (3) 光刻显影形成线路图案并电镀填充; (4) 去除光刻胶并刻蚀粘附层和种子层; (5) 重复上述步骤进行下一层的 RDL 布线。高密度的 RDL 布线可借鉴半导体铜互连的大马士革工艺进行加工, 引入化学机械抛光进行平坦化, 并去除多余的铜及粘附层/种子层。

目前, 高密度互连有机 RDL 线宽/线间距 (L/S) 约为 6 μm , 微孔直径为 20 μm 、间距为 50 μm , 可实现每平方毫米每层约 40 个 I/O 的密度^[24-25]。然而, 为了进一步提高 I/O 密度, 需要具有 1 μm 线宽/线间距以及 1~2 μm 直径微孔的 RDL。RDL 技术的进步对于实现高密度、高带宽 每平方毫米每层超过 500 个 I/O、带宽大于 500 Gbit/s 的芯片互连具有极为重要的意义。高密度 RDL 有 4 个关键问题: (1) 细线条光刻 L/S 为 1 μm ; (2) 微孔加工是限制 RDL 实现高 I/O 密度和精细 I/O 间距的最主要的障碍; (3) 低介电常数和低损耗因子的介电材料; (4) 半加成法是实现高密度 RDL 的普遍工艺。

3 基于 TSV 及 RDL 的异质集成方案

经过多年发展, TSV 封装技术的发展经历了从

TSV 简单互连、2.5D TSV 转接板、微凸点 3D 集成到目前最为关注的无凸点 3D 集成。从应用的角度看, 已进入量产的基于 TSV 的封装技术主要集中在高端可编程器件、图像处理器、存储芯片以及传感器芯片等领域^[26]。

3.1 基于 TSV 及 RDL 互连的晶圆级封装

用 TSV 简单互连代替引线键合, 实现硅背面与正面有源区或金属布线之间的电气导通, 是 TSV 在批量生产中的首次使用。其典型应用包括图像、指纹、滤波器、加速度计在内的传感器的封装, 基于 TSV 的 MEMS 传感器封装结构如图 2 所示^[27]。使用 TSV 可减小传感器模块的封装尺寸, 利于进行晶圆级封装, 提高生产效率并降低成本。近年来发展出的基于后通孔 TSV 的埋入硅基三维异质集成技术, 提供了 1 种低成本、高性能的异质集成方案。2016 年, 华天科技有限公司开发出硅基埋入扇出 (eSiFO) 技术, 使用硅片作为载体, 将芯片置于在 12 英寸硅晶圆上制作的高精度凹槽内, 重构出 1 个晶圆; 然后采用可光刻聚合物材料填充芯片和晶圆之间的间隙, 在芯片和硅片表面形成扇出的钝化平面; 再通过光刻打开钝化层开口, 并采用晶圆级工艺进行布线和互连封装。硅基埋入封装具有超小的封装尺寸、工艺简单、易于进行系统封装和高密度三维集成等优点^[28]。同时, 可通过制备背面 RDL 和 Via-last TSV, 实现异质集成多芯片的三维堆叠封装。其基本工艺流程包括: 将测试正常的芯片嵌入单个 eSiFO 封装体, 然后分别在 eSiFO 封装体的正面和背面形成 RDL, 再通过微凸点和 Via-last TSV 实现多个独立的 eSiFO 封装体与嵌入式芯片之间的电信号互连。eSiFO 技术可以将由不同设计公司、晶圆厂设计制造的各种晶圆尺寸和特征尺寸的不同系统或不同功能的芯片集成到 1 个芯片中, 从而实现真正的不同封装体之间的三维异质集成封装。

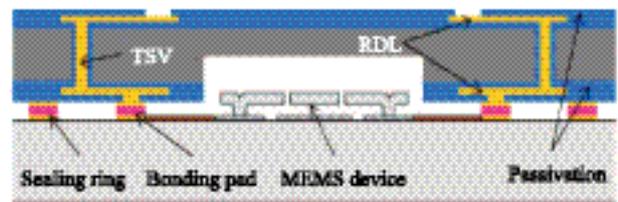


图 2 基于 TSV 的 MEMS 传感器封装结构^[27]

3.2 2.5D TSV 转接板异质集成

2.5D TSV 转接板技术是为解决有机基板布线密度不足、信号延迟大、带宽限制等问题而开发的带有 TSV 垂直互连通孔和高密度金属布线的新型基板技术。通过带有 TSV 垂直互连通孔的无源或有源载板,

实现多个芯片间的高密度连接,再与有机基板互连以提高系统集成密度,解决芯片管脚密度与有机基板引出结构无法兼容的问题。典型 2.5D TSV 转接板异质集成结构如图 3 所示^[29],采用 TSV 及微凸点(包括可

控塌陷 C4 凸点和铜柱 C2 凸点)实现垂直互连,通过高密度 RDL 实现水平互连,实现中央处理器(CPU)、图形处理器(GPU)、高带宽内存(HBM)等 Chiplet 的异质集成。

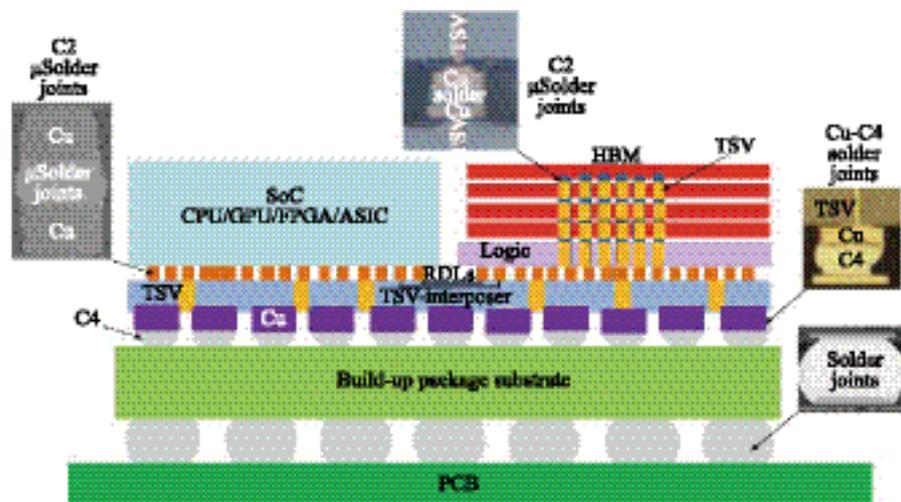


图 3 典型 2.5D TSV 转接板异质集成结构^[29]

IMEC、Fraunhofer、Leti、IME、台积电、联电等半导体顶尖研究机构和企业均陆续推出各自的 2.5D TSV 转接板异质集成方案。其中,台积电于 2011 年推出的 2.5D 封装衬底上晶圆级芯片封装(CoWoS)技术最具代表性^[30],并成功实现大规模量产。该技术通过晶圆工艺将芯片连接至硅转接板上,再把堆叠芯片与基板连接,实现芯片—转接板—基板的三维封装结构。该技术采用前道工艺在转接板上制作高密度的互连线,通过转接板完成多个芯片的互连,可以大幅提高系统集成密度,降低封装厚度。基于台积电的 CoWoS 技术,Xilinx 推出“Virtex-7 2000T”产品,该产品将 4 个采用 28 nm 工艺的现场可编程门阵列(FPGA)芯片通过 TSV 转接板互连,实现了在单个 FPGA 模组里集成数个 FPGA 的功能,超越了摩尔定律的限制^[31]。此后推出的基于 CoWoS 技术的产品包括华为海思 Hi616、英伟达 TESLA 显卡和 Fujitsu A64FX 超级计算芯片等。针对高性能计算应用,台积电于 2020 年进一步开发了集成深沟槽电容(DTC)的 CoWoS 技术,其电容密度高达 300 nF/mm²,漏电流小于 1 fA/μm²,该 CoWoS 具有更低的功耗和更好的数据传输性能^[32]。到 2021 年,CoWoS 技术已经发展至第五代^[33-34],转接板面积可达 2 500 mm²,单个转接板可集成 8 个 HBM 和超过 3 个芯片级系统(SoC)/Chiplet 模块;同时集成 DTC 以增强电源完整性,并发展出相应的 5 层亚微米尺度的铜 RDL 互连技术。近年来,人工智能、高性能计算等对超强算力的需求迅猛增长,大

力推动了 2.5D TSV 转接板封装技术的应用。通过异质集成 CPU、GPU 和 HBM 获得更高的带宽密度,成为提高算力的关键途径。根据对 TOP500 超级计算机系统的分析,2020 年基于 CoWoS 技术的总计算能力占有 TOP500 系统总计算能力的 50%以上^[34]。

3.3 基于 TSV 和微凸点的三维异质集成

3D 集成将芯片在垂直方向通过 TSV 和微凸点进行堆叠,可以实现高性能、低功耗、高宽带、小形状因子等目的,充分发挥晶圆级堆叠和 TSV 技术互连线长度短的优势。该技术早期主要应用于动态随机存取存储器(DRAM)、高带宽内存等。典型产品如 2014 年三星基于 TSV 和微凸点互连量产的 64 GB DRAM,互连 TSV 尺寸为 7 μm×50 μm;与采用引线键合的内存相比,信号传送速率提升一倍,而功耗减少一半^[8,35]。

近年来,基于 TSV 和微凸点的三维集成技术不断拓展到逻辑芯片的三维堆叠集成。2019 年,英特尔推出基于 TSV 和微凸点的新型 3D 集成技术 Foveros,该技术能够实现逻辑芯片的面对面堆叠,首次将芯片堆叠从传统的无源中介层和内存等扩展到高性能逻辑芯片,例如 CPU、GPU 和 AI 处理器等^[4,36-37]。10 nm 节点工艺的计算芯片与 22 nm 节点工艺的有源芯片 3D Foveros 堆叠集成结构^[36]如图 4 所示。采用 Foveros 封装技术的英特尔 Lakefield 处理器于 2020 年投入市场^[37]。三星也于 2020 年发布了 X-Cube 三维集成技术,利用 TSV 和微凸点技术将 HBM 芯片与逻辑芯片进行堆叠,在速度、功率、效率方面实现显著飞跃^[38]。

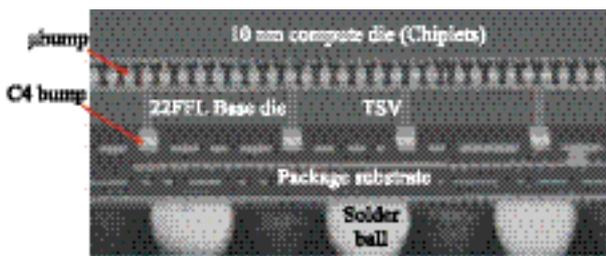


图 4 10 nm 节点工艺的计算芯片与 22 nm 节点工艺的有源芯片 3D Foveros 堆叠集成结构^[36]

3.4 基于无凸点混合键合的三维异质集成

一直以来, 3D 集成广泛采用 Sn 基钎料微凸点和 TSV 实现高效的垂直互连。然而, 当间距减小到 $20\ \mu\text{m}$ 以内, 热压键合过程中的细微倾斜将使钎料变形挤出而发生桥连短路。同时, 液-固反应形成的金属间化合物 (IMC) 将占据凸点的大部分体积, 使之转变为脆性连接。并且, 表面扩散及柯肯达尔孔洞等问题的影响急剧增加, 难以进一步缩减互连间距, 微凸点的微型化遭遇前所未有的瓶颈^[39-41]。基于 Cu/绝缘层混合键合的无凸点 3D 集成可实现: (1) 刚性互连, 避免出现桥连问题; (2) 与集成电路后道工序及 TSV 铜互连相兼容, 无需底充胶; (3) 芯片堆叠中多次热压工艺无影响 (铜的熔点为 $1\ 083\ ^\circ\text{C}$); (4) 无脆性相 IMC 形成; (5) 优异的电、热、机械和抗电迁移性能。因此, 无凸点 Cu/绝缘层混合键合在超细间距 (小于 $10\ \mu\text{m}$) 芯片垂直互连中的应用具有无可比拟的优势。

对于 Cu-Cu 直接键合及 Cu/绝缘层混合键合的研究已持续了几十年, 然而由于当时的市场需求有限并且工艺难度过大, 其一直未引起过多关注。直到 2015 年, 索尼获得 Ziptronix 公司的混合键合技术授权, 首次推出了基于无凸点混合键合的高性能图像传感器产品^[42]。半导体业界逐渐意识到混合键合将成为突破微凸点微型化瓶颈的有效途径。此后英特尔、台积电、华为、长江存储、IMEC、IME、Leti 等领先机构和企业陆续对混合键合技术进行了深入研究^[40]。英特尔推出了基于无凸点混合键合的 Foveros 三维集成技术, 但未披露过多细节。台积电则较为详细地公布了其基于无凸点混合键合的三维异质集成技术, 将之称为集成片上系统 (SoIC)^[5-6, 42-43], 其混合键合工艺温度与无铅焊料回流工艺温度相当。SoIC 集成采用超薄芯片, 以实现大深宽比和高密度的 TSV 互连。为此, 台积电提出并优化 2 条工艺路线: (1) 芯片-晶圆键合后再背面露铜, 首先将芯片面对面混合键合, 随后对芯片背面减薄, 背面露铜后沉积绝缘层和 Cu 盘, 再次与另一芯片 Cu-Cu 键合并重复以上工艺, 实现芯片堆叠;

(2) 背面露铜后再进行芯片-芯片键合, 首先将晶圆临时键合于玻璃基板并进行背面减薄, 背面露铜后沉积绝缘层和 Cu 盘, 晶圆与基板解键合后切割成单颗芯片, 单颗芯片再分别进行 Cu-Cu 键合以实现芯片堆叠。基于混合键合的 SoIC 及其改进版本 SoIC+ 可以获得超细间距和超高密度的互连。它比倒装芯片技术具有更好的电气性能, 插入损耗几乎为零, 远远小于 2D 并排倒装芯片技术的插入损耗。与台积电采用的传统微凸点 3D TSV 集成对比, 无凸点 SoIC 集成的 12 层存储器在垂直方向上的尺寸下降高达 64%, 带宽密度则增加 28%, 而能源消耗下降 19%。

由此可见, 无凸点 3D 集成技术可实现超高密度的芯片垂直互连, 继续推动芯片向高性能、微型化和低功耗方向发展。同时, 以台积电无凸点 3D 集成 SoIC 技术为例, SoIC 可与 CoWoS、集成扇外型封装等技术实现深度异质集成整合, 三维异质集成方案如图 5 所示^[9]。原来需要放到 1 个片上系统 SoC 芯片上实现的方案, 现在可以转换成多个 Chiplet 来做。这些分解开的 Chiplet 再通过集成 SoIC 实现灵活整合, 其芯片产品具有设计成本低、速度快、带宽足和低功耗的优势。因此, 基于无凸点混合键合的三维异质集成技术若真正实现量产, 无疑是集成电路行业划时代的革新技术。然而, 当前该技术在设计规则、平整度、清洁度、材料选择和对准等方面仍面临诸多挑战。

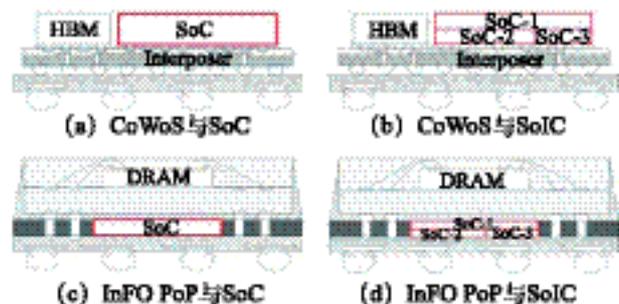


图 5 台积电三维异质集成方案^[9]

4 基于玻璃基板的异质集成方案

玻璃基板具有较多优势: 玻璃的低损耗使其传输性能优良, 高平整度的表面可以进行细间距的布线, 以及可调的热膨胀系数使得异质集成的应力问题减少。TGV 的加工比 TSV 更为简单高效, 机械、激光或刻蚀等方法组合使用, 均可批量进行玻璃打孔。由于玻璃本身的绝缘特性, 仅需沉积粘附层与种子层即可进行电镀填充。同时, 玻璃基板封装可以通过玻璃面

板级工艺进行大批量的制造,具有成本优势^[16]。玻璃基三维异质集成结构如图 6 所示。

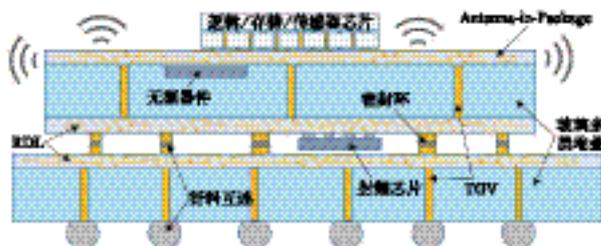


图 6 玻璃基三维异质集成结构

4.1 基于 TGV 及 RDL 的异质集成

佐治亚理工学院在 2014 年提出的三维极薄玻璃转接板厚度约为 $30\sim 50\ \mu\text{m}$ ^[43],转接板位于三维堆叠存储芯片与逻辑芯片之间,取消了逻辑芯片的 TSV 通孔,其 TGV 间距为 $20\sim 50\ \mu\text{m}$,与 3D-IC 中所需的 TSV 间距一致。与此同时,TGV 展示出了更低的插入损耗、更小的延时和串扰。三维极薄玻璃转接板技术可有效地降低成本及工艺难度,提升转接板整体性能并降低整体厚度。欣兴电子在 2014 年提出玻璃转接板嵌入式载板^[44],将厚度为 $100\ \mu\text{m}$ 、孔径为 $30\ \mu\text{m}$ 的玻璃转接板埋入层压板后进行标准的层压板工艺,实现转接板与层压板的互连。此结构减少了焊球数量,在使整体封装结构更薄的同时减少了底填所带来的热膨胀问题,可以减少传统工艺中转接板与基板组装造成的损耗,采用镀铜而不是焊料连接的方式将转接板与基板直接连接,可以提高可靠性和电性能。2016 年,格罗方德、IBM 以及加州大学伯克利分校联合发表了针对系统小型化的端到端集成的多芯片玻璃转接板方案^[45]。该方案的 TGV 最终高度为 $55\ \mu\text{m}$,上、下直径分别为 $25\ \mu\text{m}$ 和 $12\ \mu\text{m}$,在芯片键合端采用大马士革工艺制造最小特征尺寸为 $2.5\ \mu\text{m}$ 的金属布线。这项工作成功地将 TSV 转接板的设计方案复刻到 TGV 转接板中,在转接板的上方利用大马士革工艺制造精细铜布线。

2020 年,佐治亚理工学院发表了 28 GHz 频段的面板级超薄玻璃基片上的 AiP 异质集成^[46],玻璃基三维封装天线模组的工艺流程如图 7 所示^[31]。在玻璃基板上制作的八木-宇田天线,其中心频率为 25.85 GHz,分数带宽为 28.2%,覆盖了 28 GHz 频段,基板的背面集成了有源集成电路以及离散无源组件。天线在目标频率范围内还具有广角主瓣,具备良好的信号发射和接收覆盖能力。模块级表征结果显示其具有低互连信号损耗,在 28 GHz 时 TPV 损耗为 0.021 dB。此项工作表明玻璃基 AiP 异质集成可以为毫米波通信模组提供 1 个高性能的解决方案。本文作者团队^[47]探索了多

层玻璃的天线集成技术,采用激光诱导湿法刻蚀玻璃技术制备 TGV,随后在玻璃表面进行金属布线,并采用钎料进行多层玻璃堆叠键合,开发出采用 5 层玻璃堆叠的方案,制作工作频段在 75~90 GHz 的天线。辐射部分由 4 个微带贴片组成,封装总尺寸为 $10\ \text{mm}\times 9\ \text{mm}\times 1\ \text{mm}$ 。TGV 和 RDL 形成的互连可实现层间的直接传输和信号耦合,以提高传输效率。此外,低介电常数确保了玻璃的微弱表面波效应。实验和仿真结果表明,该系统的回波损耗小于 25 dB,增益大于 7 dBi。

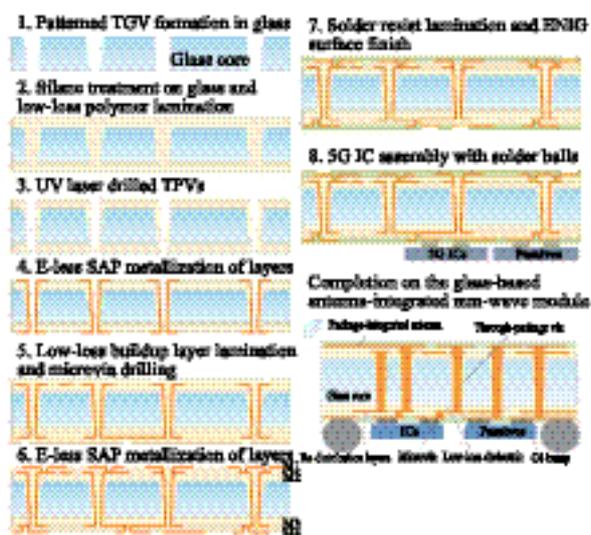


图 7 玻璃基三维封装天线模组的工艺流程^[31]

然而,玻璃的主要问题在于导热系数低导致的散热不良。CHO 等人^[48-49]研究发现,玻璃转接板通孔、接地铜结构等可提供有效的热传导途径,引入大量铜通孔、铜布线等结构可以显著提高玻璃转接板的散热性能,同时可实现在硅材料中难以实现的逻辑器件和存储器件之间的良好热隔离。在 PCB 中引入蒸汽腔均热板可以进一步提高散热性能,克服玻璃的低热导率问题,获得和硅转接板几乎相当的散热性能。铜结构、蒸汽腔对玻璃转接板散热性能的影响如图 8 所示。

4.2 埋入玻璃式扇出型异质集成

佐治亚理工学院在 2019 年针对高效高带宽异质集成发表了 TGV 三维封装方案——嵌入平板玻璃技术^[50],实现了逻辑芯片和存储芯片的面对面式三维集成。 $100\ \mu\text{m}$ 厚度的逻辑芯片被埋入 $110\ \mu\text{m}$ 深度的玻璃盲槽中,并将介质真空压入芯片与盲槽的侧壁间,再用光刻打开开口,实现其与存储芯片的直接互连。相较于目前的 2.5D 封装结构和 3D-IC,这种结构有着更高的 I/O 密度、更佳的性能、更低的成本以及更好的可靠性。该种结构无需对处理器芯片进行 TSV 工艺,同时可实现超短互连和高效的超高带宽,具有较大的潜力。

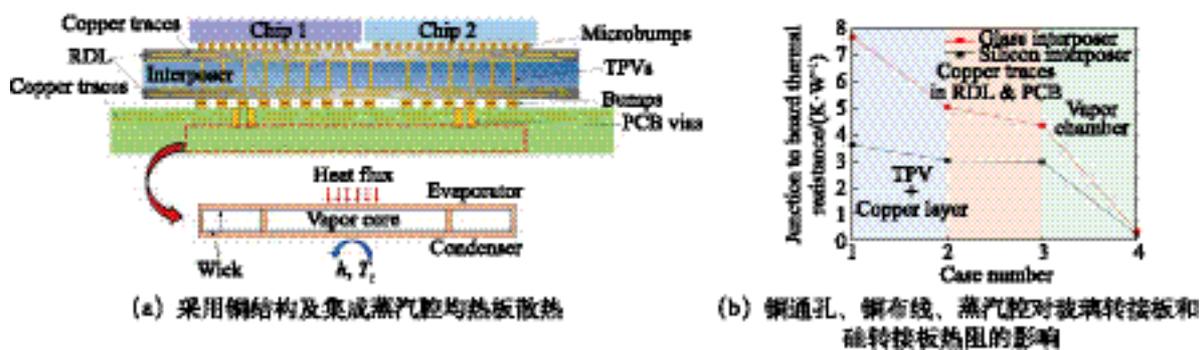


图 8 铜结构、蒸汽腔对玻璃转接板散热性能的影响^[48-49]

本文作者研究团队基于玻璃成孔工艺开发了埋入玻璃式扇外型 (eGFO) 异质集成技术, 并成功应用于电源芯片、滤波器、超声换能器、毫米波雷达天线等集成封装^[51-55]。其中新型隔离电源芯片封装结构如图 9 所示, 基于 eGFO 异质集成技术将接收和发射线圈通过封装表面上的 RDL 制成的微型变压器异质集成在一起。电源芯片实现了 46.5% 的峰值转换效率和最大 1.25 W 的输出功率, 而封装尺寸仅有 5 mm×5 mm, 在目前所报道的无磁芯隔离电源芯片中效率和功率密

度均为最高。针对超声换能器阵列不耐高温的特性, 团队开发了低温 RDL 优先的 eGFO 技术^[53]。通过临时键合在载板上制作 3 层 RDL 及铜柱凸点, 使用低固化温度的各向异性导电胶实现超声换能器阵列与临时玻璃基板之间的电学连接; 以玻璃代替有机塑膜材料, 通过胶带转移法制作了包含超声换能器阵列器件的重构晶圆; 通过晶圆级键合实现了超声换能器阵列与临时玻璃基板之间的批量键合, 避免了在长期预热条件下的失效问题^[54]。

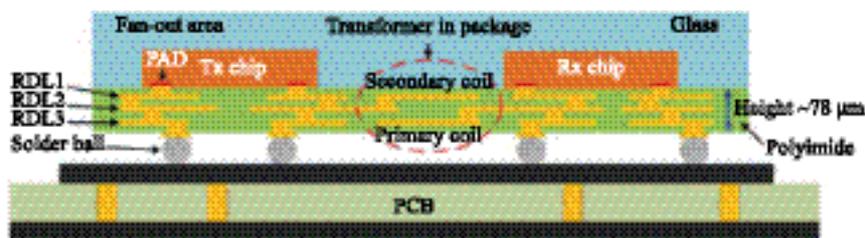


图 9 新型隔离电源芯片封装结构^[53]

同时, eGFO 还可应用于毫米波雷达芯片和封装天线的异质集成, 其结构如图 10 (a) 所示^[55], 模组实测辐射结果如图 10 (b) 所示。仿真及实测结果表明, 接收天线阵列实现了 10.5 dBi 的增益, 发射天线阵列实现了 9 dBi 的增益。基于此技术, 中国电子科技集团公司第三十八研究所在 ISSCC 2021 国际固态电路会议上发布了一款高性能的 77 GHz 毫米波芯片及模组, 其集成封装尺寸仅为 23.1 mm×10.7 mm×220 μm, 在国际上首次实现 2 颗 3 发 4 收毫米波芯片及 10 路毫米波天线单封装集成, 其探测距离达到 38.5 m, 刷新了全球毫米波封装天线最远探测距离的新纪录。

质集成整合到 1 个封装体中, 从而提高带宽、延迟和电源效率, 为高性能计算、人工智能和智慧终端等提供更小尺寸和更高性能的芯片。

5 结束语

TSV 作为三维异质集成的核心技术, 其关键尺寸需要不断地缩小, 细小直径、高深宽比 TSV 加工的主要难点包括: 形成连续均匀的绝缘层 / 粘附阻挡层 / 种子层和无缺陷的超共形电镀 Cu 填充等。通过 TSV 与 RDL 互连技术的融合, 基于 TSV 互连的晶圆级封装、2.5D TSV 转接板、微凸点 3D 集成和无凸点 3D 集成等异质集成方案相继被推出, 并在高端可编程器件、图像处理、存储芯片以及传感器芯片等领域实现量产。

异质集成技术开发与整合的关键在于融合实现多尺度、多维度的芯片互连, 芯片在垂直方向上的 TSV、TGV 互连技术与水平方向上的 RDL 互连技术相配合, 可将不同尺寸、材料、制程和功能的 Chiplet 异

目前, 无凸点 3D 集成技术可实现超高带宽密度的芯片垂直互连, 并可与其他封装技术实现深度异质集成整合, 将分解开的 Chiplet 互连封装成片上集成系统, 在降低芯片设计成本和芯片功耗的同时提升带宽和计算速度。基于无凸点混合键合的三维异质集成技术若真正实现量产, 无疑是集成电路行业划时代的革

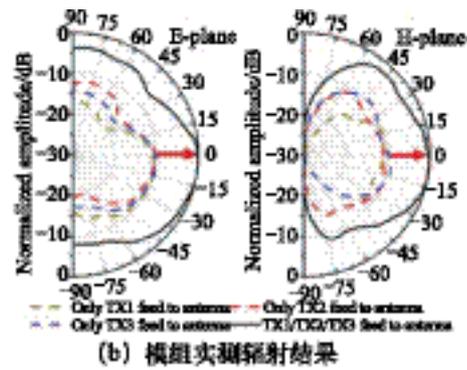
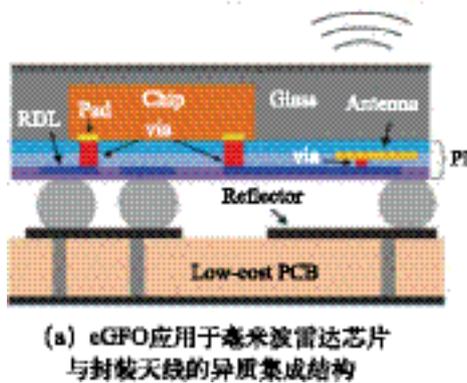


图 10 毫米波雷达芯片与天线异质集成结构以及模组实测辐射结果^[55]

新技术。然而,当前该技术在界面设计规则、平整度、清洁度和材料选择等方面仍面临诸多挑战。

基于玻璃 TGV 的转接板异质集成的优势包括:玻璃表面较高的平整度可以进行细间距的 RDL 布线;玻璃的低损耗特性使得 TGV/RDL 传输性能优良;玻璃具有可调的热膨胀系数,使得异质集成应力问题减少;同时玻璃转接板可以通过玻璃面板级工艺进行大批量制造而具有成本优势。因此,这一技术在 5G 通讯射频器件、无源器件、MEMS 器件等领域具有广阔的应用前景。

参考文献:

- [1] DESAI S B, MADHVAPATHY S R, SACHID A B, et al. MoS₂ transistors with 1-nanometer gate lengths[J]. Science, 2016, 354(6308): 99-102.
- [2] NAFFZIGER S, LEPAK K, PARASCHOU M, et al. 2.2 AMD chiplet architecture for high-performance server and desktop products[C]// 2020 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, IEEE, 2020: 44-45.
- [3] LI T, HOU J, YAN J, et al. Chiplet heterogeneous integration technology-status and challenges[J]. Electronics, 2020, 9(4): 670.
- [4] PRASAD C, CHUGH S, GREVE H, et al. Silicon reliability characterization of intel's foveros 3D integration technology for logic-on-logic die stacking[C]// 2020 IEEE International Reliability Physics Symposium (IRPS), Dallas, TX, USA, IEEE, 2020: 1-5.
- [5] CHEN M F, TSAI C H, KU T, et al. Low temperature SoIC bonding and stacking technology for 12-/16-hi high bandwidth memory (HBM)[J]. IEEE Transactions on Electron Devices, 2020, 67(12): 5343-5348.
- [6] CHEN Y H, YANG C A, KUO C C, et al. Ultra high density SoIC with sub-micron bond pitch[C]// 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, IEEE, 2020: 576-581.
- [7] MAHAJAN R, SANKMAN R, PATEL N, et al. Embedded multi-die interconnect bridge (EMIB)-a high density, high bandwidth packaging interconnect[C]// 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE, 2016: 557-565.
- [8] LAU J H. Heterogeneous integrations[M]. Springer Singapore, 2019.
- [9] UCIE™. Universal Chiplet Interconnect Express [EB/OL]. [2022-10-15]. <https://www.uciexpress.org>.
- [10] 于大全. 硅通孔三维封装技术[M]. 北京: 电子工业出版社, 2021.
- [11] HUYLENBROECK S V, LI Y, HEYLEN N, et al. Advanced metallization scheme for 3×50 μm via middle TSV and beyond[C]//2015 IEEE 65th Electronic Components and Technology Conference(ECTC), San Diego, CA, USA, IEEE, 2015: 66-72.
- [12] SUGAWARA Y, HASHIGUCHI H, TANIKAWA S, et al. Impact of deep-via plasma etching process on transistor performance in 3D-IC with via-last backside TSV [C]// 2015 IEEE 65th Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, IEEE, 2015: 822-827.
- [13] INOUE F, PHILIPSEN H, RADISIC A, et al. Electroless Cu deposition on atomic layer deposited Ru as novel seed formation process in through-Si vias [J]. Electrochimica Acta, 2013, 100: 203-211.
- [14] WANG F, TIAN Y, ZHOU K, et al. Using a triblock copolymer as a single additive in high aspect ratio through silicon via (TSV) copper filling[J]. Microelectronic Engineering, 2021, 5(244/246): 111554.
- [15] [https://www.semiconductors.org/resources/2015-international-technology-roadmap-for-semiconductors-itrs\[Z\]](https://www.semiconductors.org/resources/2015-international-technology-roadmap-for-semiconductors-itrs[Z]).
- [16] 陈力, 杨晓锋, 于大全. 玻璃通孔技术研究进展[J]. 电子

- 与封装, 2021, 21(4): 040101.
- [17] 赵瑾, 李威, 钟毅, 等. 玻璃通孔三维互连技术中的应力问题[J]. 机械工程学报, 2022, 58(2): 246-258.
- [18] OSTHOLT R, AMBROSIUS N, KRÜGER R A. High speed through glass via manufacturing technology for interposer[C]// Proceedings of the 5th Electronics System-Integration Technology Conference (ESTC), Helsinki, Finland, IEEE, 2014: 1-3.
- [19] CHEN L, YU D Q. Investigation of low-cost through glass vias formation on borosilicate glass by picosecond laser-induced selective etching[J]. Journal of Materials Science: Materials in Electronics, 2021, 32(12): 16481-16493.
- [20] 纪执敬, 凌惠琴, 吴培林, 等. 玻璃通孔三维互连镀铜填充技术发展现状[J]. 电化学, 2022, 28(6): 42-61.
- [21] KIM J S, LEE K W, PARK D J, et al. Application of through mold via (TMV) as PoP base package [C]// 2008 58th Electronic Components and Technology Conference, Lake Buena Vista, FL, USA, IEEE, 2008: 1089-1092.
- [22] ZHAO H R, CHEN M X, PENG Y, et al. TXV Technology: The cornerstone of 3D system-in-packaging [J]. Sci. Science China Technological Sciences, 2022, 65(9): 2031-2050.
- [23] SUKUMARAN V, CHEN Q, LIU F, et al. Through-package-via formation and metallization of glass interposers[C]// 2010 Proceedings 60th Electronic Components and Technology Conference(ECTC), Las Vegas, NV, USA, IEEE, 2010: 557-563.
- [24] LAU J H. Fan-out wafer-level packaging[M]. Singapore: Springer, 2018.
- [25] LIU F, CHANDRASEKHARAN N, ATSUSHI K, et al. Organic damascene process for 1.5- μm panel-scale redistribution layer technology using 5- μm -thick dry film photosensitive dielectrics[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2018, 8(5): 792-801.
- [26] GAMBINO J P, ADDERLY S A, KNICKERBOCKER J U. An overview of through-silicon-via technology and manufacturing challenges[J]. Microelectronic Engineering, 2015, 135: 73-106.
- [27] SEKHAR V N, TOH J S, JIN C, et al. Wafer level packaging of RF MEMS devices using TSV interposer technology [C]//2012 IEEE 14th Electronics Packaging Technology Conference (EPTC), Singapore, IEEE, 2012: 231-235.
- [28] HONG X, YU D Q, HUANG Z R, et al. Embedded Si fan out: A low cost wafer level packaging technology without molding and de-bonding processes[C]// Proceedings of the 2017 IEEE 67th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, IEEE, 2017: 28-34.
- [29] LAU J H. Overview and outlook of through silicon via (TSV) and 3D integrations [J]. Microelectronics International, 2011, 28(2): 8-22.
- [30] CHUANG Y L, YUAN C S, CHEN J J, et al. Unified methodology for heterogeneous integration with CoWoS technology[C]// 2013 IEEE 63rd Electronic Components and Technology Conference, Las Vegas, NV, USA, IEEE, 2013: 852-859.
- [31] BANIJAMALI B, CHIU C C, HSIEH C C, et al. Reliability evaluation of a CoWoS-enabled 3D IC package[C]// 2013 IEEE 63rd Electronic Components and Technology Conference, Las Vegas, NV, USA, IEEE, 2013: 35-40.
- [32] CHEN W T, LIN C C, TSAI C H, et al. Design and analysis of logic-HBM2E power delivery system on CoWoS[®] platform with deep trench capacitor[C]// 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, IEEE, 2020: 380-385.
- [33] HOU S Y, CHEN W C, HU C, et al. Wafer-level integration of an advanced logic-memory system through the second-generation CoWoS technology[J]. IEEE Transactions on Electron Devices, 2017, 64(10): 4071-4077.
- [34] HUANG P K, LU C Y, WEI W H, et al. Wafer level system integration of the fifth generation CoWoS[®]-S with high performance Si interposer at 2 500 mm²[C]// 2021 IEEE 71st Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, IEEE, 2021: 101-104.
- [35] OH R, LEE B, SHIN S W, et al. Design technologies for a 1.2 V 2.4 Gb/s/pin high capacity DDR4 SDRAM with TSVs[C]//2014 Symposium on VLSI Circuits Digest of Technical Papers, Honolulu, HI, USA, IEEE, 2014: 1-2.
- [36] INGERLY D B, AMIN S, ARYASOMAYAJULA L, et al. Foveros: 3D integration and the use of face-to-face chip stacking for logic devices[C]// 2019 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, IEEE, 2019: 1-4.
- [37] GOMES W, KHUSHU S, INGERLY D B, et al. 8.1 lakefield and mobility compute: A 3D stacked 10 nm and 22FFL hybrid processor system in 12 \times 12 mm², 1 mm package-on-package [C]// 2020 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA,

- USA, IEEE, 2020: 144-146.
- [38] MIN M, KADIVAR S. Accelerating innovations in the new era of HPC, 5G and networking with advanced 3D packaging technologies[C]// 2020 International Wafer Level Packaging Conference (IWLPC), San Jose, CA, USA, IEEE, 2020: 1-6.
- [39] CHEN M F, CHEN F C, CHIOU W C, et al. System on integrated chips (SoIC™) for 3D heterogeneous integration[C]// 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE, 2019: 594-599.
- [40] LAU J H. Semiconductor advanced packaging[M]. Singapore: Springer Nature, 2021.
- [41] KAGAWA Y, FUJII N, AOYAGI K, et al. Novel stacked CMOS image sensor with advanced Cu2Cu hybrid bonding [C]//2016 IEEE International Electron Devices Meeting (IEDM), San Francisco, CA, USA, IEEE, 2016: 1-4.
- [42] CHEN M F, LIN C S, LIAO E B, et al. SoIC for low temperature, multilayer 3D memory integration[C]// Proceedings of the 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, IEEE, 2020: 855-860.
- [43] SUKUMARAN V, KUMAR G, RAMACHANDRAN K, et al. Design, fabrication, and characterization of ultrathin 3-D glass interposers with through-package-vias at same pitch as TSVs in silicon[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2014, 4 (5): 786-795.
- [44] HU D C, HUNG Y P, YU H C, et al. Embedded glass interposer for heterogeneous multi-chip integration [C]// IEEE 65th Electronic Components and Technology Conference (ECTC), San Diego, CA, USA, IEEE, 2015: 314-317.
- [45] HEDRICK B, SUKUMARAN V, FASANO B, et al. End-to-end integration of a multi-die glass interposer for system scaling applications [C]// IEEE 66th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE, 2016: 283-288.
- [46] WATANABE A O, LIN T H, ALI M, et al. Ultrathin antenna-integrated glass-based millimeter-wave package with through-glass vias[J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(12): 5082-5092.
- [47] SU Y, YU D, RUAN W, et al. Development of compact millimeter-wave antenna by stacking of five glass wafers with through glass vias[J]. IEEE Electron Device Letters, 2022, 43(6): 934-937.
- [48] CHO S, JOSHI Y, SUNDARAM V, et al. Comparison of thermal performance between glass and silicon interposers [C]// 2013 IEEE 63rd Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE, 2013: 1480-1487.
- [49] CHO S, SUNDARAM V, RAO T, et al. Multi-scale thermal modeling of glass interposer for mobile electronics application[J]. International Journal of Numerical Methods for Heat & Fluid Flow, 2016, 26(3/4): 1157-1171.
- [50] RAVICHANDRAN S, YAMADA S, LIU F H, et al. Low-cost non-TSV based 3D packaging using glass panel embedding (GPE) for power-efficient, high-bandwidth heterogeneous integration[C]// IEEE 69th Electronic Components and Technology Conference (ECTC), Las Vegas, NV, USA, IEEE, 2019: 1796-1802.
- [51] YU T, ZHANG X, CHEN L, et al. Development of embedded glass wafer fan-out package with 2D antenna arrays for 77 GHz millimeter-wave chip[C]// 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), Lake Buena Vista, USA. IEEE, 2020: 31-36.
- [52] CHEN Z, YU D, ZHONG Y. Development of 3D wafer level hermetic packaging with through glass vias (TGVs) and transient liquid phase bonding technology for RF filter [J]. Sensors, 2022, 22(6): 2114.
- [53] PAN D F, LI G L, MIAO F T, et al. 33.5 A 1.25 W 46.5% - peak-efficiency transformer-in-package isolated DC-DC converter using glass-based fan-out wafer-level packaging achieving 50 mW/mm² power density [C]// 2021 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, IEEE, 2021: 468-470.
- [54] LU Y, YU D Q, WAN L X, et al. The redistribution layer-first embedded fan-out wafer level packaging for 2-D ultrasonic transducer arrays [J]. IEEE Electron Device Letters, 2021, 42(9): 1374-1377.
- [55] DUAN Z, WU B, ZHU C, et al. 14.6 A 76-to-81 GHz 2×8 FMCW MIMO radar transceiver with fast chirp generation and multi-feed antenna-in-package array [C]// 2021 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, IEEE, 2021: 228-230.



作者简介:

钟毅 1991—),男,江西赣州人,博士,助理教授,主要研究方向为高密度互连、传感器封装、电子封装可靠性等。