



# 增强型 GaN HEMT 器件的实现方法与研究进展\*

穆昌根<sup>1</sup>, 党睿<sup>2</sup>, 袁鹏<sup>1</sup>, 陈大正<sup>1</sup>

(1. 西安电子科技大学微电子学院, 西安 710071; 2. 西安航天精密机电研究所, 西安 710100)

**摘要:** 考虑到实际应用对可靠性、设计成本及能耗的要求, 增强型 GaN 高电子迁移率晶体管 (HEMT) 器件比传统耗尽型 GaN HEMT 器件优势更显著。目前有许多方法可以实现增强型 GaN HEMT 器件, 如使用 p 型栅技术、凹栅结构、共源共栅 (Cascode) 结构、氟离子处理法、薄势垒 AlGaIn 层以及它们的改进结构等。分别对使用以上方法制备的增强型 GaN HEMT 器件进行了综述, 并对增强型 GaN HEMT 器件的最新研究进展进行了总结, 探索未来增强型 GaN HEMT 器件的发展方向。

**关键词:** GaN HEMT 器件; 凹栅结构; p-GaN; 薄势垒

**中图分类号:** TN323+.2 **文献标志码:** A **文章编号:** 1681-1070 (2022) 10-100401

**DOI:** 10.16257/j.cnki.1681-1070.2022.1003

**中文引用格式:** 穆昌根, 党睿, 袁鹏, 等. 增强型 GaN HEMT 器件的实现方法与研究进展[J]. 电子与封装, 2022, 22(10): 100401.

**英文引用格式:** MU Changgen, DANG Rui, YUAN Peng, et al. Implementation methods and research progress of enhanced GaN HEMT devices[J]. Electronics & Packaging, 2022, 22(10): 100401.

## Implementation Methods and Research Progress of Enhanced GaN HEMT Devices

MU Changgen<sup>1</sup>, DANG Rui<sup>2</sup>, YUAN Peng<sup>1</sup>, CHEN Dazheng<sup>1</sup>

(1. School of Microelectronics, Xidian University, Xi'an 710071, China;

2. Xi'an Aerospace Precision Electromechanical Research Institute, Xi'an 710100, China)

**Abstract:** Considering the requirements of reliability, design cost and energy consumption in practical applications, enhanced GaN-based high electron mobility transistor (HEMT) devices have more significant advantages than traditional depletion GaN HEMT devices. At present, there are many ways to realize enhanced GaN HEMT devices, such as using p-type gate technology, recessed gate structure, cascode structure, fluorine ion treatment, thin barrier AlGaIn layer and their improved structures. Enhanced GaN HEMT devices prepared by the above methods are reviewed respectively, and the latest research progress of enhanced GaN HEMT devices is summarized, and the further improvement direction of enhanced GaN HEMT devices is explored.

**Keywords:** GaN HEMT devices; recessed gate structure; p-GaN; thin barrier

\* 基金项目: 国家自然科学基金(62004151)

收稿日期: 2022-03-09

E-mail: 穆昌根 2909383887@qq.com; 陈大正(通信作者) dzchen@xidian.edu.cn

## 1 引言

氮化镓 (GaN) 材料近年来发展势头迅猛, 被业内人士誉为第三代半导体材料, 因其具有宽带隙、高电子漂移速度、抗辐射、耐高温等优良的物理特性, 逐渐成为高频、高温、高效率、抗辐射等领域的热门研究对象<sup>[1]</sup>。目前开发成熟的 GaN 基功率器件大多是 GaN 基高电子迁移率晶体管 (HEMT) 器件, 良好的性能使其在消费类电子产品、轨道交通、工业设备及通信基站等领域的应用前景十分广阔。

对于 GaN HEMT 器件, 由于 AlGaIn/GaN 异质界面处内部存在的压电极化和自发极化效应共同作用, 产生了大量二维电子气 (2DEG)<sup>[2]</sup>, 使得 GaN HEMT 器件在无外界偏置情况下仍然存在天然的导电沟道, 使器件在零偏压下处于导通状态, 所以一般的 GaN HEMT 器件为耗尽型 (D 型) 器件。自 1993 年 KHAN 等人<sup>[3]</sup>成功制备第一个耗尽型 GaN HEMT 器件以来, 由于该器件在无外加偏置电压情况下会引起较大的导通电阻和较高的开关损耗, 同时还需要额外的负偏置电压来维持非工作状态而增加器件功耗, 如今的耗尽型 GaN HEMT 器件的应用受到了极大的限制。反之, 具有正向开启电压的增强型 (E 型) GaN HEMT 器件因其本身所表现出的良好失效保护功能、快速开关速度和低反向导通损耗等显著性能<sup>[4]</sup>, 在应用上作为实现单片集成的 GaN 基互补逻辑 (CL) 的基本单元, 日益成为研究者们关注的对象。实现增强型 GaN HEMT 器件的关键在于通过一定方法尽可能使栅下异质界面处的 2DEG 耗尽。自相关研究者于 1996 年成功制备增强型的薄势垒 AlGaIn/GaN HEMT 器件<sup>[5]</sup>以来, 研究者们通过结构设计及改进工艺, 提出了多种实现增强型 GaN HEMT 器件的方法, 其中常见的有 p 型栅技术<sup>[6]</sup>、凹栅结构<sup>[7]</sup>、共源共栅 (Cascode) 结构<sup>[8]</sup>、氟离子处理法<sup>[9]</sup>、减薄势垒<sup>[10]</sup>及它们的改进结构等, 这些技术大大改善了 GaN HEMT 器件的工作性能。

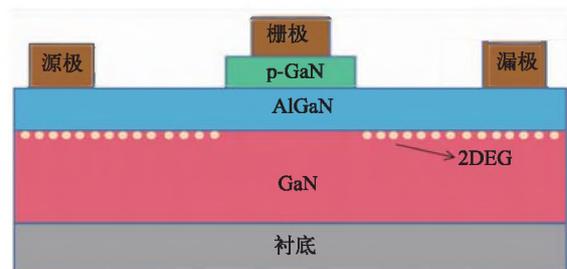
本文综述了使用以上方法制备的增强型 GaN HEMT 器件及它们的优势和缺陷, 分别对增强型 GaN HEMT 器件的最新研究进展和业界最新的 GaN 器件解决方案进行了总结及介绍, 探讨了未来增强型 GaN HEMT 器件的发展方向。

## 2 增强型 GaN HEMT 器件的实现方法

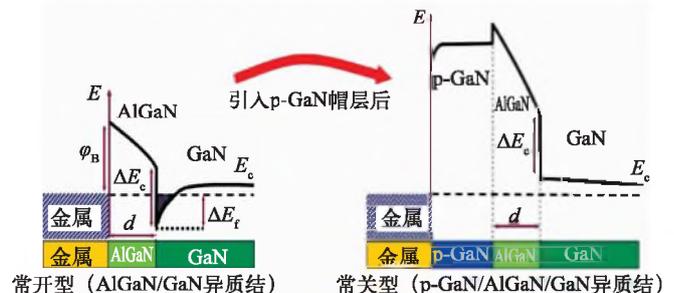
增强型 GaN HEMT 器件在应用中有着独特的性能优势, 针对如何制造出性能优良的增强型 GaN HEMT 器件的问题, 目前提出的几种常见解决方案中有些已成功应用于商业领域, 以下分别对这几种方案进行综述。

### 2.1 p 型栅技术

最具代表性的增强型 GaN HEMT 器件实现方法是 p 型栅技术<sup>[11]</sup>。该技术由丰田公司于 2007 年首次提出<sup>[12]</sup>, 后来逐渐发展成为商用主流技术之一。此类增强型器件通过在 AlGaIn 势垒层上方淀积一层 Mg 离子掺杂的 p-GaN 帽层, 再在该帽层上溅射金属栅极而成。其中, Mg 离子掺杂的有效浓度及 p 型栅帽层的厚度等与器件的导通电阻及阈值电压等有着密切的联系。图 1 (a) 为 p-GaN 帽层增强型 GaN HEMT 器件的结构。在零偏压的情况下, p-GaN 帽层可以将 AlGaIn/GaN 异质界面处的导带能级提升至费米能级以上, 耗尽异质界面处的 2DEG, 导致栅下有效沟道夹断。当施加一定的正向偏置电压后, 随着栅下 2DEG 的恢复, HEMT 器件随之开启。使用 p-GaN 帽层前后异质结处能带的变化如图 1 (b) 所示, 图 1 (b) 中  $E$  为能量,  $\Delta E_c$  为 AlGaIn 和 GaN 之间的导带底在交界面的带阶,  $\Delta E_f$  为 GaN 内部和 GaN 表面的费米能级之差,  $d$  为 AlGaIn 势垒厚度,  $\phi_B$  为肖特基势垒高度,  $E_c$  为 GaN 的导带底。



(a) p-GaN 层实现增强型 GaN HEMT 结构



(b) 有无 p-GaN 层的能带变化<sup>[13]</sup>

图 1 增强型 p-GaN 帽层 HEMT 结构及有无 p-GaN 层的能带变化

该技术实现的增强型器件阈值电压较稳定、导电电阻低、可靠性强,但同时也面临着栅控能力减弱、寄生电容增加等问题。

## 2.2 凹栅结构

早在 2003 年,OKITA 等人<sup>[14]</sup>就使用凹栅刻蚀的方法成功制备了增强型的 AlGaIn/GaN MIS-HEMT 器件,其相关研究一直在进行,凹栅刻蚀实现增强型 GaN HEMT 器件的原理就是通过一定手段对栅下 AlGaIn/GaN 异质结处一定厚度的势垒层进行部分刻蚀或完全刻蚀,其不仅降低了栅下的极化电荷密度,也减小了栅极金属和沟道的距离,同时利用肖特基接触产生的电场,共同耗尽栅下感应的 2DEG,从而实现增强型 GaN 基器件的目的。从能带结构上看,则为势垒层导带能级下降不足导致二维势阱消失,进而使 2DEG 耗尽。图 2 为凹栅结构实现增强型 GaN 基器件的结构图。

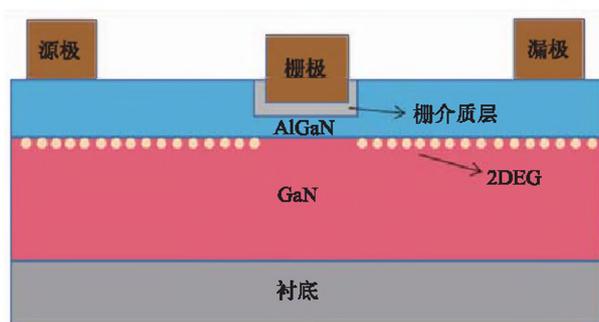


图 2 凹栅结构实现增强型 GaN HEMT 器件的结构

凹栅 GaN HEMT 器件不仅提高了器件的栅控能力,还大大改善了增强型器件的频率及跨导,但在刻蚀过程中引入的刻蚀损伤及界面态会严重影响此类器件的性能可靠性,尽管这种影响可通过淀积栅介质得到改善,但目前仍限制着其商业应用。

## 2.3 Cascode 级联结构

采用 Cascode 级联结构实现增强型 GaN HEMT 器件的技术也已成功用于商业市场。作为一种 Si 基功率器件向纯 GaN 基功率器件的过渡技术,传统的 Cascode FET 采用 Si 基 MOSFET 和常开耗尽型 GaN HEMT 器件联接,然后将它们封装在一起,而对外整体呈现为增强型。图 3 是其相应级联的等效电路结构图,该图展现了其基本的连接形式,Si 基晶体管的漏极与 D 型 GaN HEMT 器件的源极相联,而 D 型管的栅极与 Si 基晶体管的源极相联,同时 Si 基 MOSFET 的栅极阈值电压作为整个器件的阈值电压,控制着 Cascode 器件整体的导通与关断。

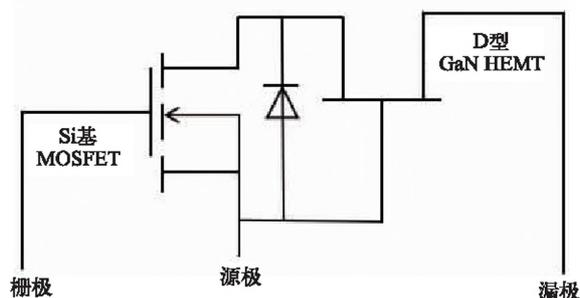


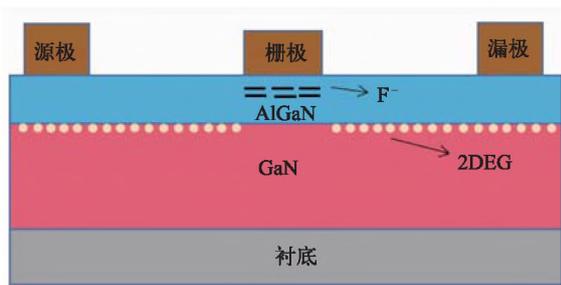
图 3 Cascode 结构等效电路

采用传统 Cascode 级联技术实现的增强型器件阈值电压高且稳定,并且能够和现有的 Si 电路匹配良好,但是由于其自身存在的电容失配问题,在耐高温和小型化设计方面远不及非级联的增强型 GaN 基 HEMT 器件,限制了其未来进一步的应用。

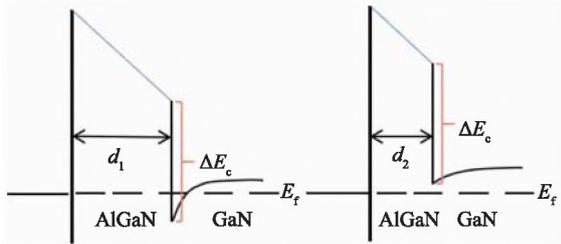
## 2.4 氟离子处理技术及减薄势垒层法

使用氟离子注入技术制备增强型 GaN HEMT 器件,通常是在栅极沉积前通过一定技术对栅下 AlGaIn 势垒层注入一定剂量及能量的氟离子。由于氟离子对外整体呈现负电性,进入到 AlGaIn 势垒层中的氟离子形成了带负电的固定电荷,从能带结构上看,其在提高势垒层势垒高度的同时,提高了异质界面处的导带能级,当导带能级底部超过费米能级时,该异质结处的二维势阱消失,进而使栅下沟道中的 2DEG 耗尽,达到正向移动阈值电压的目的。图 4 (a) 为使用氟离子处理技术实现增强型 GaN HEMT 器件的结构。采用氟注入法制成的增强型 GaN HEMT 器件通常能够达到很高的正向阈值栅电压,同时,结合栅介质层能够很好地抑制栅泄漏电流、提升栅摆幅,然而离子注入会形成大量的空态及界面态,对势垒层造成损伤,会使阈值电压的稳定性变差<sup>[15]</sup>。

减薄势垒层法通过改变 AlGaIn 势垒层的厚度  $d$ ,使势垒层的极化电荷密度降低,当降低至一定值时,沟道便不会感应生成 2DEG,从导带结构上看,和凹栅刻蚀技术相似,减薄势垒层后,因势垒层的导带下降不足使得 AlGaIn/GaN 异质结处导带上升或抬升到费米能级以上,使原本存在的二维势阱消失,从而耗尽 2DEG,实现器件的增强型工作。减薄势垒前后异质结处能带结构如图 4 (b) 所示,其中  $E_f$  代表费米能级, $d_1$  代表常规 GaN HEMT 器件中 AlGaIn 势垒层的厚度, $d_2$  代表薄势垒 GaN HEMT 器件中 AlGaIn 势垒层的厚度。虽然薄势垒形成的增强型器件避免了由凹栅刻蚀带来的损伤和界面态,但传统的薄势垒器件通常都面临着沟道中 2DEG 密度降低、导电电阻变大的问题。



(a) 氟离子注入实现增强型 GaN HEMT 器件结构



(b) D 型与薄势垒器件异质结处能带对比

图 4 氟离子注入型器件结构及 D 型与薄势垒器件能带对比

### 3 增强型 GaN HEMT 器件的最新进展

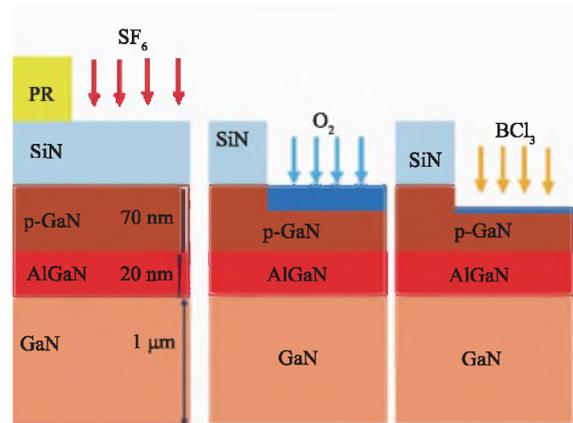
近几年来,随着新技术及新结构的运用,增强型 GaN HEMT 器件的相关性能不断提高,各项性能指标都不断接近 GaN 基器件的理论水平,同时相关的商业产品也在不断推出,这里对最新的研究进展进行总结,并介绍相关制造商近几年推出的增强型 GaN 器件解决方案。

#### 3.1 p 型栅技术的最新进展

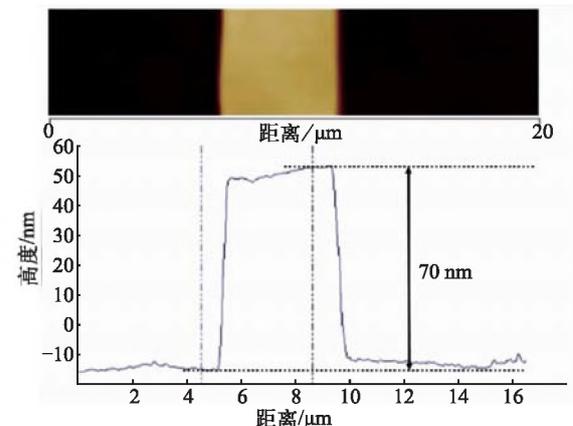
在 p 型栅技术中,使用 p-GaN 帽层是最成熟的,近年来,国内外研究者在该技术的基础上不断进行着工艺或结构上的优化和创新。2018 年 LIN 等人<sup>[16]</sup>通过两步数字刻蚀 (DE) 工艺制备了 p-GaN 栅 HEMT 器件,在循环刻蚀过程中移除了不需要的 p-GaN 帽层,最大程度上减少了对材料的损伤,图 5 (a) 所示为刻蚀工艺流程,图 5 (b) 所示为 p-GaN 非栅区刻蚀深度。当源极和漏极的间距  $L_{SD}=20\ \mu\text{m}$  时,该器件实现了较大的阈值电压 (2 V),漏电流密度达到了 211 mA/mm,同时静态导通电阻降低至  $17.3\ \Omega\cdot\text{mm}$ ,其开关电流比及击穿电压分别达到  $1.2\times 10^6$  和 426 V。

针对传统的 p-GaN 层形成的增强型器件击穿电压较低的问题,一般通过各种场板结构的设计来提高击穿电压。2019 年 JIANG 等人<sup>[17]</sup>通过设计 T 型栅接触场板和减少金属/p-GaN 接触外沿,使该器件不仅通过抑制 AlGaIn 表面附近 p-GaN 边沿的电场峰值提高

了器件的击穿电压,还保护了 p-GaN/AlGaIn/GaN 结的完整性,从而在关断状态下,栅被击穿后仍然保存着对电压的阻断能力,使器件不受进一步的损坏。其击穿电压达到 1100 V 时,阈值电压可达 2.3 V,最大漏电流为 610 mA/mm,亚阈值摆幅 (SS) 及开关电流比分别达到 66 mV/dec 和  $5\times 10^8$ 。图 6 (a) 为该 GaN 器件的结构,其中  $L_{GS}$  为栅源间距,  $L_G$  为栅极长度,  $L_{GFP}$  为漏极方向的栅场板长度,  $L_{GD}$  为栅漏间距,图 6 (b) 为有无 T 型场板的电场分布对比,其中  $V_{GS}$  代表加在栅源间的电压,  $V_{DS}$  代表加在漏源间的电压。



(a) 刻蚀工艺流程

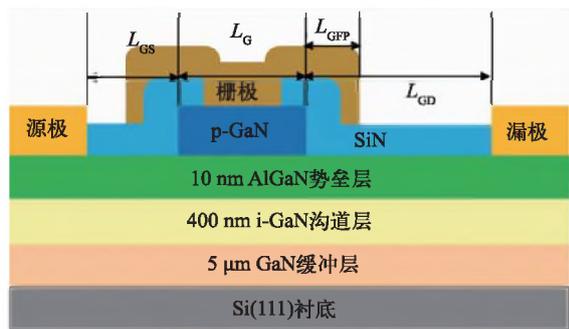


(b) p-GaN 非栅区刻蚀深度

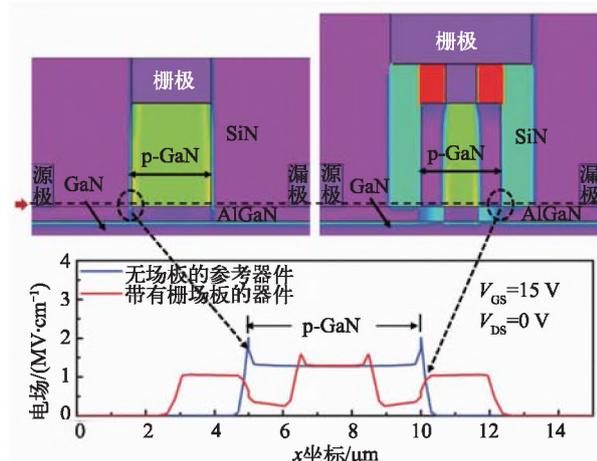
图 5 数字刻蚀工艺流程及非栅区帽层刻蚀深度示意图

2020 年 HU 等人<sup>[18]</sup>通过使用源场板和栅场板的双场板组合结构实现了电场的均匀分布,提高了击穿电压 (600 V),减少了界面附近的电荷捕获效应,同时结合  $\text{NH}_3$  等离子体处理还显著降低了该器件的动态导通电阻  $R_{on}$ ,在 200 V 电压阻断后导通电阻仅增加了 50%,从而有效抑制了电流崩溃效应,其阈值电压达到 3.7 V,饱和电流为 132 mA/mm。为了使器件的击穿电压和导通电阻实现良好的性能折中,2021 年 WEI 等人<sup>[19]</sup>用选择性氢等离子体处理 p-GaN,实现了一种横

向耦合 p-GaN 栅 HEMT 器件, 其器件结构如图 7 所示。当各 p-GaN 条的宽度  $W_p$  和相互间的间距  $W_{IR}$  设计得足够小时, 耗尽区的耦合效应可使器件击穿电压和导通电阻的折中良好, 当 p-GaN 和漏极的间距  $L_{PD}=10 \mu\text{m}$  时, 器件性能达到最优, 导通电阻低至  $11.54 \Omega \cdot \text{mm}$  的同时击穿电压可达到 880 V。



(a) GaN 基器件结构



(b) 有无 T 型场板的电场分布对比

图 6 增强型器件结构及有无场板的电场分布对比<sup>[17]</sup>

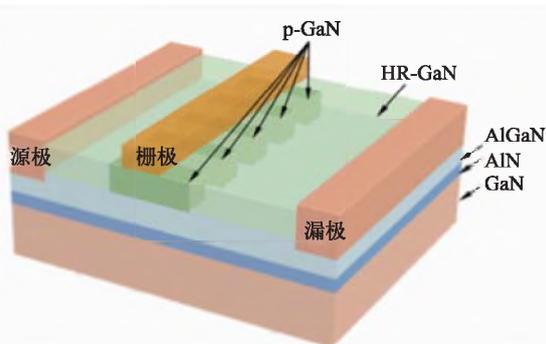


图 7 一种横向耦合 p-GaN 栅 HEMT 器件<sup>[19]</sup>

同年 JIANG 等人<sup>[20]</sup>通过改进上述增强型 p-GaN HEMT 器件工艺, 用原子层沉积 (ALD) 技术沉积  $\text{Al}_2\text{O}_3$  代替等离子增强化学气相沉积 (PECVD) 技术沉积 SiN 作钝化层, 并进行高电阻率缓冲层优化生长,

在保持此前报道的阈值电压、亚阈值摆幅等性能参数的同时, 进一步提高了器件的击穿电压 (1344 V) 及导通电阻 (约  $14 \Omega \cdot \text{mm}$ ) 的折中关系, 同时其峰值跨导达到  $135 \text{ mS/mm}$ , 表征功率特性的 Baliga 优值 (BFOM) 达到  $461 \text{ MW/cm}^2$ 。尽管 p-GaN HEMT 器件是 p 型栅器件中最成熟的, 但其固有的 Mg 掺杂难激活等问题始终限制着器件性能的大幅提升, 因此 p 型金属氧化物帽层的研究一直在进行。2022 年, 西安电子科技大学的 CHEN 等人<sup>[21]</sup>通过磁控溅射沉积 p-SnO 代替 p-GaN 作为 AlGaIn/GaN HEMT 的栅帽层, 在未经优化的器件上实现了 1 V 的阈值电压及 420 V 的器件击穿电压, 表明其拥有巨大的应用潜力。

### 3.2 使用凹栅结构的最新进展

针对传统凹栅刻蚀形成的增强型器件出现大量的刻蚀损伤及界面态所导致的栅泄露等问题, 一般都是通过沉积各种不同的栅介质及改进生长工艺来降低损伤及界面态带来的影响, 提高器件阈值电压及频率特性等。2019 年 LI 等人<sup>[22]</sup>通过将硅原子加入到原子层沉积的栅介质  $\text{HfO}_2$  中改善了增强型 GaN MOS-HEMT 器件的相关性能, 与传统的  $\text{HfO}_2$  栅介质相比, 其界面陷阱密度降低了一个数量级, 内部的固定氧化层陷阱减少了一半, 表现出很好的频率特性和器件可靠性, 其阈值电压为 1.5 V, SS 低至  $65 \text{ mV/dec}$ , 电流开 / 关比高达  $10^6$  以上, 而最大击穿电压 (742 V) 比传统的  $\text{HfO}_2$  栅介质的 HEMT 器件提高了 30%。而在改进工艺方面, 2020 年, ASUBAR 等人<sup>[23]</sup>提出了生长在 SiC 衬底上的凹栅刻蚀结合金属有机物气相外延 (MOVPE) 再生 AlGaIn 势垒层技术的增强型 MIS-HEMT 器件结构, 图 8 (a) 为该 GaN 器件制造流程图, 图 8 (b) 为该器件的结构图。通过再生工艺形成一层新的半导体-绝缘体界面, 极大地降低了干法刻蚀对 2DEG 密度和迁移率造成的影响, 其阈值电压达到 5 V, 最大漏电流达到  $425 \text{ mA/mm}$ , 而关断状态下漏击穿电压为 120 V。

此外, 2021 年, CAI 等人<sup>[24]</sup>提出以在凹栅下沉积  $\text{Al}_2\text{O}_3/\text{ZrO}_2/\text{Al}_2\text{O}_3$  电荷俘获介质层的方式降低刻蚀带来的影响, 当栅漏间距  $L_{GD}=5 \mu\text{m}$  时, 其阈值电压为  $(1.55 \pm 0.4) \text{ V}$ , 最大漏电流密度为  $(730 \pm 6) \text{ mA/mm}$ , 导通电阻为  $(7.1 \pm 0.2) \Omega \cdot \text{mm}$ , 同时, 器件还表现出较高的稳定性击穿电压 (1447 V)。尽管该器件在实际使用中需要进一步优化阈值电压的稳定性, 但通过使用  $\text{ZrO}_2$  电荷捕获层来实现高阈值电压和低导通电阻的方法显示出了巨大的应用潜力。

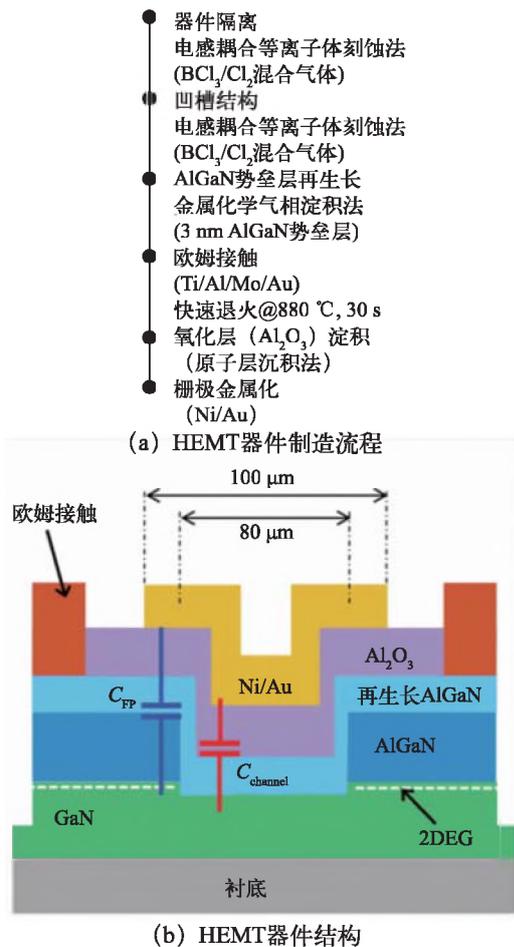


图 8 增强型 MIS-HEMT 器件制造流程及结构<sup>[25]</sup>

### 3.3 Cascode 结构的最新研究进展

Cascode 结构作为比较成熟的技术, 传统双芯片共封装的形式阻碍了性能的进一步提升, 为了改善性能, 2018 年 REN 等人<sup>[25]</sup>利用外延生长的单片集成技术设计制成了适用于高电压功率转换的增强型 Cascode FET 器件, 芯片间互联距离仅是传统双芯片共封装器件的 2.5%, 进而降低了寄生效应, 经测试, 该器件阈值电压和栅压摆幅分别为 3.2 V 和 ±20 V, 而击穿电压达到了 696 V。图 9 为该 Cascode FET 器件的结构图。

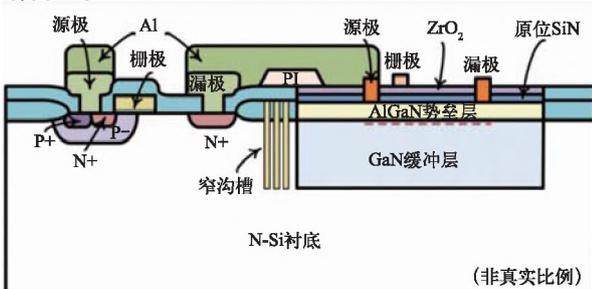


图 9 Cascode FET 器件结构<sup>[25]</sup>

外延生长的方式对材料晶格匹配度及外延晶面

选择性要求严格, 且设备昂贵, 2020 年西安电子科技大学的 ZHANG 等人<sup>[26]</sup>采用转移印刷及自对准刻蚀技术制成了单片集成的增强型 Cascode FET 器件, 降低了成本, 解决了上述问题, 相比传统 Cascode FET 器件, 该器件不仅展现了极好的界面形貌、较小的开关损失及良好的阈值电压均匀性 (2.0~2.2 V), 同时栅压摆幅达到 ±18 V, 栅漏电流也低于  $10^{-5}$  mA/mm。图 10 展示了转移印刷和自对准刻蚀技术的关键步骤。

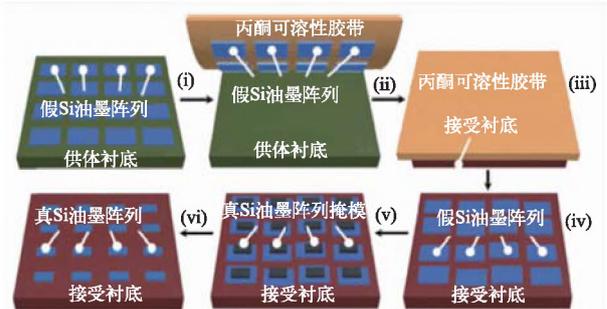


图 10 转移印刷和自对准刻蚀技术的关键步骤<sup>[26]</sup>

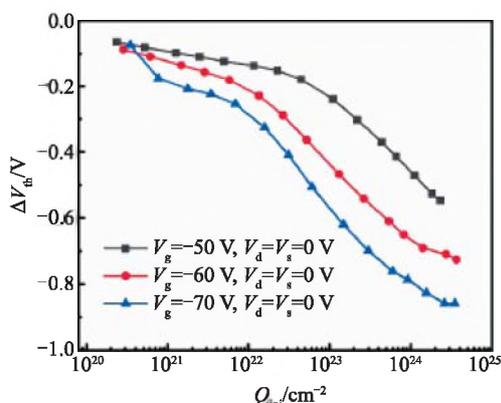
此外, 采用 Si MOSFET 和 GaN HEMT 联接的传统 Cascode FET 器件不可避免地会带来两者本征电容不匹配及增强寄生电感问题, 2021 年 LIU 等人<sup>[27]</sup>采用凹栅 GaN MIS-FET 替代 Si 基 MOSFET 与 D 型 GaN 基 HEMT 联接, 较好地缓解了上述不良影响, 同时其阈值电压达到 3.6 V, 硬击穿电压也高达 883 V。

### 3.4 使用氟处理技术、减薄势垒层及其他方法

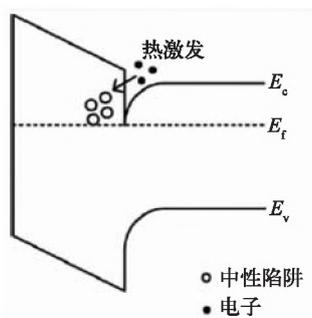
虽然用氟处理技术及减薄 AlGaIn 势垒层的方式也可以实现增强型 GaN HEMT 器件, 但它们都存在各自的缺点。通过改进工艺及结合其他技术使用氟处理技术及减薄势垒层形成增强型 GaN HEMT 器件的性能得到不断提高。2018 年 LING 等人<sup>[28]</sup>通过淀积与源极相接触的 TiN 侧壁和 TiN 层, 结合两步氟处理工艺制备增强型 GaN HEMT 器件, 通过两步氟处理进一步提高了势垒层中的氟离子浓度, 使得势垒层导带更大地上弯, 增大了背势垒高度, 减少了栅泄漏电流, 而沉积向栅极延伸一定长度 ( $L_{\text{ledge}}$ ) 的 TiN 层, 改善了等效电路的拓扑结构, 进而降低了源电阻, 当  $L_{\text{ledge}} = 1 \mu\text{m}$  时, 最大漏电流达到 845 mA/mm, 其峰值跨导 (412 mS/mm) 比传统器件峰值跨导 (340 mS/mm) 提高了 21.2%。此外, 该器件的电流增益截止频率 ( $f_T$ ) 和功率增益截止频率 ( $f_{\text{MAX}}$ ) 分别达到了 61 GHz 和 130 GHz, 其 Johnson 优值达到  $11.2 \text{ THz} \cdot \text{V}$ , 表现出良好的高功率、高频率特性。

而 2020 年 ZHENG 等人<sup>[29]</sup>通过研究采用氟离子处理技术形成的增强型 GaN HEMT 器件在反向栅应

力下阈值电压的退化机理及经退火恢复的机理时发现, 氟离子碰撞电离阈值电压退化的主要原因是: 在较大的反向栅应力下, 栅下注入电子密度  $Q_{inj}$  越大, 与氟离子碰撞电离越激烈, 阈值电压退化也越严重, 但经栅应力后一定时间的退火, 沟道中的电子会隧穿进入势垒层中栅应力所产生的中性陷阱中并被捕获, 使阈值电压正向移动。这一研究为进一步采用氟处理实现高性能的 GaN 器件提供了参考。图 11 为栅下注入电子与阈值电压的漂移量  $\Delta V_{th}$  的关系及退火过程中电子隧穿进入沟道示意图, 图 11 (a) 中  $V_g$  为所加栅电压,  $V_d$  为所加漏电压,  $V_s$  为所加源电压, 图 11 (b) 中  $E_v$  代表价带顶。



(a) 栅下注入电子与  $\Delta V_{th}$  的关系

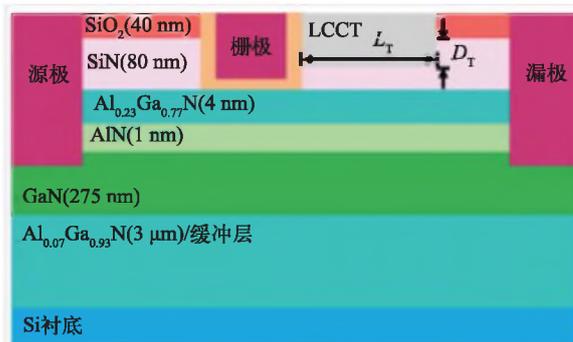


(b) 电子隧穿进入沟道

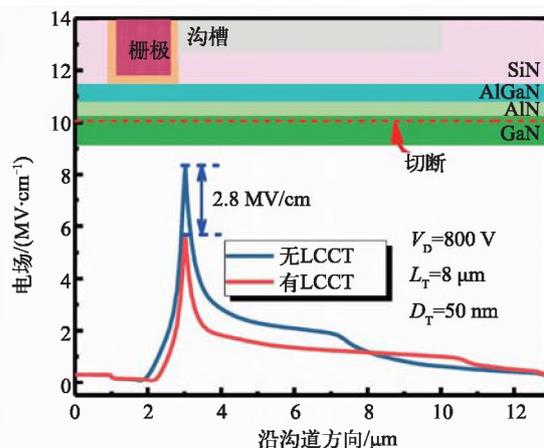
图 11 栅下注入电子与  $\Delta V_{th}$  的关系及电子隧穿进入沟道示意图<sup>[29]</sup>

在薄势垒研究方面, 2019 年 HAN 等人<sup>[30]</sup>通过使用 SiN 作钝化层、AlO<sub>x</sub> 作栅介质层及利用铁电电荷陷阱栅叠层制备出超薄势垒的增强型 MIS-HEMT 器件, 相较于传统的凹栅增强型 GaN HEMT 器件, 该器件不仅有更高的阈值电压及最大漏电流, 还拥有更小的阈值迟滞和更好的阈值电压均匀性, 其阈值电压达到 3.19 V, 最大漏电流达到 716 mA/mm, 并且击穿电压也高达 906 V, 在集成电路及电源开关应用领域表现出极好的应用前景。同年, WANG 等人<sup>[31]</sup>则通过在增强

型薄势垒 GaN HEMT 器件栅漏间刻蚀 SiN 钝化层引入局部电荷补偿沟道 (LCCT) 的方式优化电场分布和 BFOM, 经调整 LCCT 的刻蚀长度和宽度, 与传统薄势垒 GaN HEMT 器件相比, 其电场峰值降低了 2.8 MV/mm, 同时使 LCCT 下的电场分布更平坦, 其 BFOM 更是传统薄势垒 GaN 基 HEMT 器件的 2 倍。图 12 (a) (b) 分别为其器件结构及有无 LCCT 的电场分布, 其中  $L_T$  代表 LCCT 长度,  $D_T$  代表刻蚀 80 nm 氮化硅层的刻蚀深度,  $V_D$  代表器件所加漏极电压。



(a) 器件结构



(b) 有无 LCCT 的电场分布

图 12 引入 LCCT 的器件结构与有无 LCCT 的电场分布<sup>[31]</sup>

为了对文中提到的增强型 GaN HEMT 器件的性能有更直观的比较, 将相关文献中部分增强型 GaN HEMT 器件的性能参数概括到表 1。

通过对增强型 GaN HEMT 器件最新研究进展的总结可以发现, 各增强型器件的相关性能得到不断提高, 甚至某些性能指标已达到极高标准 (如经过场板设计后的击穿电压), 不难想象未来有望进一步加深其应用的程度。但在实际应用中, 除了考虑器件良好的性能及可靠性, 还应该使它与现有的或改进创新的电路拓扑结构、布局互联、散热性能的设计及先进封装设计等有良好的适配, 所以在今后的研究中, 进一

表 1 文献中的增强型 GaN HEMT 器件性能参数

器件类型	阈值电压 $V_{th}/V$	导通电阻 $R_{on}/(\Omega \cdot mm)$	最大漏电流 $I/(mA \cdot mm^{-1})$	击穿电压 $/kV$
p-GaN HEMT <sup>[16]</sup>	2.00	17.3 (静态)	211	0.426
p-GaN HEMT <sup>[17]</sup>	2.30	8.00	610	1.100
凹栅 HEMT <sup>[23]</sup>	5.00	—	420	0.120
凹栅 HEMT <sup>[24]</sup>	1.50	7.10	730	1.447
Cascode FET <sup>[25]</sup>	3.20	—	630	0.696
氟处理 HEMT <sup>[26]</sup>	0.60	—	845	0.183
薄势垒 HEMT <sup>[30]</sup>	3.19	12.25	716	0.906

步优化器件结构、提高工艺设计水准、提高器件可靠性及不断推进各类增强型器件的产品化设计等都是重要的方向。

### 3.5 产业界最新推出的 GaN 器件解决方案

在功率器件应用方面,目前,市场上已有很多性能良好的基于 GaN HEMT 器件的功率产品。2018 年, GaN Systems 公司推出了 100 V/120 A GaN E-HEMT 装置 GS-010-120-1-T, 良好的性能使其适合于汽车和可再生能源等行业 48 V 的应用;同年,日本松下也推出了基于 MIS 结构 730 V/20 A 的 GaN 功率器件,该产品可以在栅压高达 10 V 时稳定连续工作而阈值电压不会发生变化,其运用可进一步缩小各种功率转换电路的体积。2020 年,Transphorm 公司也推出了 650 V/72 mΩ 常关型 GaN 产品 TP65H070LDG,该产品易于驱动,且能与标准栅极驱动器兼容。2021 年末,意法半导体宣布推出 2 个 GaN 功率半导体新产品系列“G-HEMT”和“G-FET”。“G-HEMT”系列的首款器件为 650 V/15 A 的 SGT120R65AL,该产品拥有极低的传导损耗、高电流能力和极快的开关速度,能实现很高的功率密度及性能效率,而“G-FET”系列的首款器件则是 Cascode 型的 GaN 晶体管 SGT250R65ALCS,这 2 个系列产品的推出将使消费类电子产品和车载装置等的电源实现更高效率和小型化的设计。

在数字电路领域,尽管 ZHENG 等人<sup>[32]</sup>通过在同一衬底上集成 n 沟道及 p 沟道 FET 构成 GaN CL,并对由 GaN CL 组成的反相器、部分基本逻辑门及多级环形振荡器等进行了分析,表明了 GaN CL 拥有巨大的应用价值,但相比于 GaN HEMT 器件功率产品的不断推出,适于数字电路的性能优良的 GaN CL 现今却难以实现,主要原因在于其互补的增强型 p 沟道场效应晶体管面临着低迁移率、高接触电阻及栅控能力弱等挑战,而通过改进刻蚀工艺、运用再生长技术及研究新结构是改善这些问题的途径,BADER 等人<sup>[33]</sup>的研究结果表明 AlN/GaN/AlN 的结构拥有巨大的潜力。

## 4 结束语

尽管业内提出了多种制备增强型 GaN HEMT 器件的技术,有些已商业化应用,但都存在各自的缺陷。此外,在设计增强型 GaN HEMT 器件时,还需要兼顾各项性能指标间的折中关系并提高器件可靠性,要想实现性能良好的增强型器件,需要研究者或进行结构和工艺上的改进,或提出新的结构。而在应用上,对性能良好的 GaN 基 CL 的研究也任重道远。本文通过对增强型 GaN HEMT 器件的实现方法和最新进展进行综述,为相关研究者研发高可靠性的、适于产品化的增强型 GaN HEMT 器件提供了有价值的参考。

### 参考文献:

- [1] 刘建华, 郭宇锋, 黄晓明, 等. GaN HEMT 场板研究综述[J]. 南京邮电大学学报(自然科学版), 2020, 40(1): 9-14.
- [2] 段宝兴, 杨银堂, 陈敬. F 离子注入新型  $Al_{0.25}Ga_{0.75}N/GaN$  HEMT 器件耐压分析[J]. 物理学报, 2012, 61(22): 408-414.
- [3] KHAN M A, BHATTARAIH A, KUZNIA J N, et al. High electron mobility transistor based on a GaN- $Al_xGa_{1-x}N$  heterojunction[J]. Applied Physics Letters, 1993, 63(9): 1214-1215.
- [4] 李金鹏. 基于 p-GaN 栅的常关型功率器件的研究[D]. 重庆: 重庆邮电大学, 2020.
- [5] KHAN M A, CHEN Q. Enhancement and depletion mode GaN/AlGaIn heterostructure field effect transistors[J]. Applied Physics Letters, 1996, 68(4): 514-516.
- [6] CHEN K J, HABERLEN O, LIDOW A, et al. GaN-on-Si power technology: Devices and applications[J]. IEEE Transactions on Electron Devices, 2017, 64(3): 779-795.
- [7] OKA T, NOZAWA T. AlGaIn/GaN recessed MIS-gate HFET with high-threshold-voltage normally-off operation for power electronics applications[J]. IEEE Electron Device Letters, 2008, 29(7): 668-670.

- [8] BIN L, SAADAT O I, PALACIOS T. High-performance integrated dual-gate AlGaIn/GaN enhancement-mode transistor[J]. IEEE Electron Device Letters, 2010, 31(9): 990-992.
- [9] CAI Y, ZHOU Y G, CHEN K J, et al. High-performance enhancement-mode AlGaIn/GaN HEMTs using fluoride-based plasma treatment[J]. IEEE Electron Device Letters, 2005, 26(7): 435-437.
- [10] HAMADY S. New concepts for normally-off power gallium nitride (GaN) high electron mobility transistor (HEMT) [D]. Toulouse: University Toulouse III Paul Sabatier, 2014.
- [11] 何云龙. 氮化物半导体增强型 HEMT 器件与实现方法研究[D]. 西安: 西安电子科技大学, 2017.
- [12] UEMOTO Y, HIKITA M, UENO H, et al. Gate injection transistor (GIT)-a normally-off AlGaIn/GaN power transistor using conductivity modulation[J]. IEEE Transactions on Electron Devices, 2007, 54(12): 3393-3399.
- [13] GRECO G, IUCOLANNO F, ROCCAFORTE F. Review of technology for normally-off HEMTs with p-GaN gate [J]. Materials Science in Semiconductor Processing, 2017, 78: 96-106.
- [14] OKITA H, KAIFU K, MITA J, et al. High transconductance AlGaIn/GaN-HEMT with recessed gate on sapphire substrate[J]. Physica Status Solidi, 2003, 200(1): 187-190.
- [15] SHEN F Y, HAO R H, SONG L, et al. Enhancement mode AlGaIn/GaN HEMTs by fluorine ion thermal diffusion with high  $V_{th}$  stability[J]. Applied Physics Express, 2019, 12(6): 066501.
- [16] LIN Y, LIN Y C, LUMBANTORUAN F, et al. A novel digital etch technique for p-GaN gate HEMT[C]// 2018 IEEE International Conference on Semiconductor Electronics (ICSE), 2018.
- [17] JIANG H X, ZHU R Q, LYU Q F, et al. High-voltage p-GaN HEMTs with off-state blocking capability after gate breakdown[J]. IEEE Electron Device Letters, 2019, 40(4): 530-533.
- [18] HU Q Y, ZENG F M, CHENG W C, et al. Reducing dynamic on-resistance of p-GaN gate HEMTs using dual field plate configurations[C]// 2020 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), 2020.
- [19] WEI X, ZHANG X D, SUN C, et al. A novel normally-off laterally coupled p-GaN gate HEMT[C]// 2021 5th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), 2021.
- [20] JIANG H X, LYU Q F, ZHU R Q, et al. 1300 V normally-off p-GaN gate HEMTs on Si with high on-state drain current[J]. IEEE Transactions on Electron Devices, 2021, 68(2): 653-657.
- [21] CHEN D, YUAN P, ZHAO S, et al. Wide-range-adjusted threshold voltages for E-mode AlGaIn/GaN HEMT with a p-SnO cap gate[J]. Science China Materials, 2022, 65(3): 795-802.
- [22] LI S C, HU Q L, WANG X, et al. Improved interface properties and dielectric breakdown in recessed AlGaIn/GaN MOS-HEMTs using HfSiO as gate dielectric [J]. IEEE Electron Device Letters, 2019, 40(2): 295-298.
- [23] ASUBAR J T, KAWABATA S, TOKUDA H, et al. Enhancement-mode AlGaIn/GaN MIS-HEMTs with high  $V_{th}$  and high  $I_{Dmax}$  using recessed-structure with regrown AlGaIn barrier[J]. IEEE Electron Device Letters, 2020, 41(5): 693-696.
- [24] CAI Y T, ZHANG Y L, LIANG Y, et al. Low ON-state resistance normally-OFF AlGaIn/GaN MIS-HEMTs with partially recessed gate and ZrO<sub>2</sub> charge trapping layer[J]. IEEE Transactions on Electron Devices, 2021, 68(9): 4310-4316.
- [25] REN J, FENG H, TANG C W, et al. A novel 700 V monolithically integrated Si-GaN cascoded field effect transistor[J]. IEEE Electron Device Letters, 2018, 39(3): 394-396.
- [26] ZHANG J Q, ZHANG W H, WU Y C, et al. Wafer-scale Si-GaN monolithic integrated E-mode cascode FET realized by transfer printing and self-aligned etching technology[J]. IEEE Transactions on Electron Devices, 2020, 67(8): 3304-3308.
- [27] LIU M H, JIN Y F. Fabrication of E-mode all-GaN devices with self-terminated and self-alignment process[C]// 2021 5th IEEE Electron Devices Technology & Manufacturing Conference (EDTM), 2021.
- [28] LING Y, BIN H, MI M H, et al. High-performance enhancement-mode AlGaIn/GaN high electron mobility transistors combined with TiN-based source contact ledge and two-step fluorine treatment[J]. IEEE Electron Device Letters, 2018, 39(10): 1544-1547.
- [29] ZHENG X F, CHEN A S, HAO Z, et al. Degradation mechanism of fluorine treated enhancement-mode AlGaIn/GaN HEMTs under high reverse gate bias [C]// 2020 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA), 2020.
- [30] HAN P C, YAN Z Z, WU C H, et al. Recess-free normally-

off GaN MIS-HEMT fabricated on ultra-thin-barrier AlGaIn/GaN heterostructure [C]// 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), 2019.

[31] WANG Z H, ZHANG Z W, WANG S J, et al. Design and optimization on a novel high-performance ultra-thin barrier AlGaIn/GaN power HEMT with local charge compensation trench[J]. Applied Sciences, 2019, 9(15): 9153045.

[32] ZHENG Z Y, LI Z, SONG W J, et al. Gallium nitride-based complementary logic integrated circuits[J]. Nature Electron, 2021, 4(8): 595-603.

[33] BADER S J, LEE H, CHAUDHURI R, et al. Prospects for wide bandgap and ultrawide bandgap CMOS devices [J]. IEEE Transactions on Electron Devices, 2020, 67 (10): 4010-4020.



#### 作者简介:

穆昌根 (1998—), 男, 贵州遵义人, 硕士研究生, 主要研究方向为增强型 GaN HEMT 器件。