

4H-SiC 功率 MOSFET 可靠性研究进展*

白志强, 张玉明, 汤晓燕, 沈应喆, 徐会源

(西安电子科技大学微电子学院, 西安 710071)

摘要: 4H-SiC 功率 MOSFET 器件具有栅极驱动电路简单、开关时间短、功率密度大、转换效率高等优良特性, 在电力电子系统中有着广泛的应用前景。但该器件在可靠性方面仍存在一些问題, 如长期工作时的可靠性和动态工作中一些极端情况下的可靠性问題。针对器件的长期可靠性问題, 阐述了长期可靠性的表征方法, 栅介质制备工艺对长期可靠性的影响和长期可靠性机理研究的相关成果。在动态可靠性方面, 对雪崩测试、短路测试和浪涌测试的实验现象和失效机制分析进行了综述。

关键词: 碳化硅; MOSFET; 可靠性

中图分类号: TN386 **文献标志码:** A **文章编号:** 1681-1070 (2022) 04-040101

DOI: 10.16257/j.cnki.1681-1070.2022.0412

中文引用格式: 白志强, 张玉明, 汤晓燕, 等. 4H-SiC 功率 MOSFET 可靠性研究进展[J]. 电子与封装, 2022, 22(4): 040101.

英文引用格式: BAI Zhiqiang, ZHANG Yuming, TANG Xiaoyan, et al. Research progress on reliability of 4H-SiC power MOSFET[J]. Electronics & Packaging, 2022, 22(4): 040101.

Research Progress on Reliability of 4H-SiC Power MOSFET

BAI Zhiqiang, ZHANG Yuming, TANG Xiaoyan, SHEN Yingzhe, XU Huiyuan

(School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: Due to the simple gate drive circuit, short switching time, high power density, and high conversion efficiency, 4H-SiC power MOSFET devices have a wide range of application prospects in power electronic systems. However, there are still some problems in the reliability of the device: the reliability of the device during long-term operation and the reliability of some extreme conditions during the dynamic operation. In view of the long-term reliability of the device, the characterization method of the long-term reliability, the influence of the gate dielectric preparation process on the long-term reliability and the mechanism study of the long-term reliability are reviewed. In terms of dynamic reliability, the experimental phenomena and failure mechanism analysis of avalanche, short circuit and surge tests are reviewed.

Keywords: SiC; MOSFET; reliability

1 引言

由于硅 (Silicon, Si) 材料特性的固有局限性, 目前

硅基功率器件在高温、大功率应用领域已接近理论极限。碳化硅 (Silicon Carbide, SiC) 功率器件相较于 Si 功率器件具有更大的禁带宽度、更高的击穿电场强度和更低的相对介电常数^[1], 将在航空设备、汽车电子、可

* 基金项目: 国家重点研发计划 (2020YFB0407800), 陕西省重点研发计划 (2018ZDL-GY01-03, 2020ZDLGY03-07)

收稿日期: 2021-11-14

E-mail: 白志强 zhi_qiang_bai@163.com; 张玉明 (通信作者) zhangym@xidian.edu.cn

再生能源和电力牵引等电力电子系统中逐步取代 Si 基器件。SiC 金属-氧化物半导体 (Metal-Oxide-Semiconductor, MOS) 结构器件作为电子电力系统中一类重要的功率控制器件, 包括 SiC 金属-氧化物半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) 与 SiC 绝缘栅双极型晶体管 (Insulated Gate Bipolar Transistor, IGBT), 都具有很好的发展前景。在电力电子系统应用中, Si IGBT 的开关频率通常限制在 20 kHz。但 SiC MOSFET 的开关频率可以达到 100 kHz, 并且可以实现更高的功率密度^[2]。此外, SiC MOSFET 可以工作在 300 °C 的高温下, 几乎是 Si IGBT 所能承受温度的 2 倍。高压环境工作时 SiC MOSFET 的泄漏电流比 Si IGBT 低 2 个数量级。在耐压 300~4500 V 范围内的功率开关器件方面, SiC MOSFET 完全有可能取代 Si IGBT 器件, 显著提高系统的整体效率以及开关频率^[3]。

SiC MOSFET 器件仍存在 2 方面的问题: 1) 由于 SiC/SiO₂ 界面附近存在大量界面陷阱, 导致器件长期工作中会出现阈值漂移等问题, 有文献报道对商用 1200 V 4H-SiC MOSFET 器件施加 +20 V 栅应力 50 h 后阈值电压正向漂移 0.5 V, 而施加 -10 V 栅应力 50 h 后阈值电压负向漂移 0.2 V^[4]; 2) 由于 SiC MOSFET 器件具有高频高功率的应用需求, 器件在一些极端情况下存在动态可靠性的问题, 例如非钳位感性开关、短路、浪涌等典型场景, 因此针对这些可靠性问题的研究具有一定的现实意义以及学术价值。本文就 SiC MOSFET 器件在长期工作中存在的可靠性问题展开综述, 阐述了典型的静态和动态可靠性问题的形成机制和现阶段在改善可靠性方面的研究成果与进展。

2 器件长期工作的可靠性

SiC/SiO₂ 界面附近存在的多种陷阱 (界面陷阱、近界面陷阱和氧化层陷阱) 是影响器件长期可靠工作的主要原因。近些年, 大批学者对降低界面陷阱的制备工艺和器件长期可靠性表征等展开了研究。

2.1 器件长期可靠性的表征方法研究

4H-SiC MOSFET 的阈值电压漂移问题主要是由氧化层陷阱在栅偏应力作用下捕获电荷所造成的, 因此对界面附近的氧化层陷阱的表征尤为重要。以 N 型 SiC MOS 电容为例, 通常采用时间相关的电压应力测试 (Time Dependent Bias Stress, TDBS) 结合电容-电压

(C-V) 扫描对氧化层陷阱密度和平带电压 (V_{fb}) 的漂移量进行表征。在栅极施加一段时间的应力, 测试应力前后样品的 C-V 特性, 得到器件的平带电压漂移量 (ΔV_{fb})。应力时间通常从 0 s 至 100 h 不等。通过比较氧化层陷阱捕获电荷前后的 ΔV_{fb} , 可以得到氧化层陷阱数量 (N_{ot}):

$$N_{ot} = \frac{C_{ox} \cdot \Delta V_{fb}}{qS} \quad (1)$$

其中 q 为电子电荷, C_{ox} 为氧化层电容, S 为器件电极面积。

SiC MOSFET 器件的阈值稳定性表征主要通过栅偏应力测试来实现。测试中首先施加一定时间的正偏压, 电子隧穿进入氧化层中和带正电的陷阱, 阈值电压 (V_{th}) 正向漂移; 然后施加一定时间的负偏压, 电子会隧穿出氧化层, 留下带正电的氧化层陷阱, V_{th} 负向漂移。重复该过程, 不断增加应力时长, 可以评估随应力时间变化的阈值电压漂移量 (ΔV_{th})。2015 年美国陆军研究实验室报道一氧化氮 (Nitric Oxide, NO) 退火产生的空穴陷阱会导致 V_{th} 负向漂移, 在 150 °C、-15 V 偏置 100 h, V_{th} 负向漂移接近 -2 V^[5]。通常 ΔV_{th} 与时间的对数成线性关系。高温情况下更多氧化层中的陷阱被激活参与到电荷俘获过程中, ΔV_{th} 将增加。

高温反偏 (High Temperature Reverse Bias, HTRB) 和高温栅偏 (High Temperature Gate Bias, HTGB) 测试是对 SiC MOSFET 进行可靠性评估的常规测试。在极限工作温度环境中, 施加稍低于器件阻断电压的反向偏压, 应力时间包括 168 h、500 h、1000 h 等。试验过程中, 通过监测器件反向漏电流水平判断器件失效与否。试验之后, 通过检测器件特性的退化来评估器件的可靠性。YANG 等人在 150 °C 环境中对商用 SiC MOSFET 器件施加 960 V (80% 的击穿电压) 的漏极反向电压 1000 h, 结果显示器件的漏电流会随着应力时间的增加出现不同程度的上升, 这可以从长期反向偏置的体二极管的特性退化来解释^[6]。

HTGB 是一项评估 MOSFET 器件在高温及高栅极电场环境下耐受能力的可靠性试验。试验通过把样品暴露在高温环境中, 栅极施加高电场, 观察器件性能在高温栅偏下的退化规律。YANG 等人以商用 1.2 kV SiC MOSFET 作为测试样品, 在 150 °C 环境中对 3 组样品分别施加大小为 20 V、-5 V、-10 V 的栅偏应力 1000 h, 结果显示正向应力下 V_{th} 正向漂移, 负向应力下 V_{th} 负向漂移, 这主要归因于氧化物陷阱对电荷的俘获与释放。同时 ΔV_{th} 严重依赖于偏置应力条件, 包

括偏置极性和大小^[6]。

目前国标半导体分立器件测试方法主要面向 Si 基器件, 部分试验条件并不适用于 SiC MOS 结构器件评估其阈值稳定性。由于不同栅介质工艺对界面处陷阱的分布和数量影响不同, 而处于不同能级位置和界面距离的陷阱电荷的响应速度又相差很大, 不同响应时长的电荷陷阱必然对 V_{th} 产生不同程度的影响。能跟上测试信号的陷阱就会导致 V_{th} 在测试过程中发生漂移, 从而导致 V_{th} 出现偏差。栅偏应力后的测试速度越快, 则能观察到更多与体内交换电荷的氧化层陷阱, 而测试速度过慢会使每个栅偏应力下的结果受到前一个偏置电压的影响。另外, 测试温度、应力时长、测试电压扫描方向及速率等都会对结果产生严重影响。因此, SiC MOSFET 器件的可靠性测试结果往往严重依赖于测试条件。加之目前没有一套被业界公认的 SiC MOSFET 器件可靠性测试方法, 所以基于不同的测试条件, 结果存在不小的差异。

2.2 栅介质制备工艺对长期可靠性的影响

针对 SiC MOSFET 存在的阈值漂移等可靠性问题, 减少 4H-SiC/SiO₂ 界面附近的陷阱密度是关键。大批学者对栅介质氧化工艺展开优化研究。2014 年, 英国华威大学的研究者采用 1500 °C 的热氧化工艺制备了横向 MOSFET 器件^[7], 获得了较好的场效应沟道迁移率, 但由于氧化工艺温度过高, 氧化速率过快, 导致栅氧厚度不易控制, 造成器件的 V_{th} 一致性较差。西安电子科技大学贾一凡等人研究了不同氧化温度对 4H-SiC MOS 电容界面特性的影响^[8]。采用 1200 °C、1300 °C 和 1350 °C 3 种温度的干氧化工艺生长 SiO₂ 介质层, 并在 1175 °C 的温度下对样品进行 NO 退火 2 h。结果表明导带底附近 (E_c-E) 处的界面态密度 (D_{it}) 和过渡层中的近界面陷阱密度都会随干氧化温度的升高而降低 (见图 1 和表 1)。利用电导法提取的 1350 °C 氧化制备的样品其导带底 0.2 eV 处的界面态密度仅为 $3 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。同时栅氧中有效固定电荷密度都随热氧化温度的升高呈现线性减少的趋势。原子力显微镜观察结果显示提高氧化温度能够减少氧化层中“氧化空洞”缺陷数量。XPS 结果显示随着氧化温度的升高, 界面处过渡层中的低值氧化物含量明显降低了, 因此界面附近的陷阱密度随之减少。

部分学者对氧化后的退火工艺也进行了研究。OKAMOTO 等人在栅介质氧化生长后使用 POCl₃ 在 1000 °C 下进行退火, 将 MOSFET 器件的沟道迁移率提高至 $89 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ^[9], 然而, 磷 (P) 钝化引入的 P₂O₅

会将二氧化硅层转化成磷硅玻璃, 会严重恶化 MOSFET 器件的阈值稳定性, 抵消其带来的低界面态和高迁移率的好处, 因而该工艺方案并未得到推广。大连理工大学王德君等人提出采用氮氢等离子进行界面钝化, 界面态密度降低到 $10^{11} \sim 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ ^[10]。氮和氢仅集中在 SiC/SiO₂ 界面处, 氮在钝化近界面陷阱方面比较有效, 而氢在钝化深层的界面陷阱方面更有效。美国陆军研究实验室与 Cree 公司研究发现在 SiC/SiO₂ 界面上生长一层薄的碱土金属钡层可以提升器件场效应迁移率至 $80 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 以上^[11], 同时器件表现出了较好的阈值稳定性, 正向 ΔV_{th} 为 +0.8 V, 而负向 ΔV_{th} 仅有 -0.2 V ($\pm 2 \text{ MV/cm}$, 175 °C, 15 min), 但由于其栅介质工艺复杂, 难于控制, 并未得到推广。

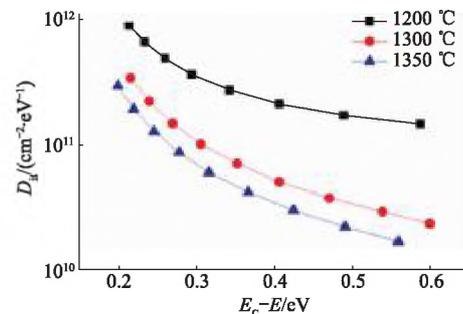


图 1 不同热氧化温度制备的 MOS 电容的界面态密度曲线^[8]

表 1 近界面陷阱密度随热氧化温度的变化关系^[8]

热氧化温度 / °C	电压漂移 $\Delta V/V$	近界面陷阱的面密度 / cm^{-2}	近界面陷阱的体密度 / cm^{-3}
1200	0.21	8.74×10^{10}	3.17×10^{19}
1300	0.14	5.16×10^{10}	1.41×10^{19}
1350	0.11	3.63×10^{10}	8.26×10^{18}

目前业界通用的钝化方法是 NO 退火处理^[12], 该方法能够有效降低界面态密度, 提高 MOSFET 器件的沟道迁移率接近 $40 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 。西安电子科技大学在 1175 °C 条件下分别在 NO 和氩气 (Ar) 环境中退火 2 h 制备了 N 型 4H-SiC MOS 电容样品, 研究了 NO 退火对 MOS 结构器件可靠性的影响。结果显示采用 NO 退火样品在导带底附近的界面态密度比 Ar 退火样品低 1~2 个数量级, NO 退火样品氧化层中的电子陷阱密度只有 Ar 退火样品的 60% 左右^[13], 这表明 NO 退火能够提高 4H-SiC 功率 MOSFET 器件的沟道迁移率和 V_{th} 的正向稳定性。由于 NO 退火引入的氮 (N) 元素与 Si 悬挂键结合形成稳定的 Si=N 键, 从而有效减少了导带底附近的界面态密度。YOSHIOKA 等人对温度在 1150~1350 °C 的 NO 退火工艺钝化效果进行了评估, 发现在 1250 °C 下 NO 退火的 SiO₂/SiC 界面表现出最

低的界面态密度。由于具有类似于施主性质的快界面态密度会随 NO 退火温度的升高而增大,这种快界面态的增长会抵消慢界面态密度的减小,导致当 NO 退火温度高于 1250 °C 后界面态密度无法继续下降,并且进一步提高退火温度会使 N 扩散到 SiC 和 SiO₂ 中^[14]。

然而研究表明过度的 NO 退火会在 SiC/SiO₂ 界面附近引入额外的空穴陷阱^[15],严重影响器件的负向阈值稳定性。西安电子科技大学贾一凡等人就不同 NO 退火温度和时长对界面附近电子陷阱和空穴陷阱的影响展开了研究^[16-17]。结果显示将 NO 退火温度从 1150 °C 增加至 1250 °C,退火时间从 30 min 增加至 90 min 能够有效降低界面附近的电子陷阱密度,但会导致近界面空穴陷阱的增加,尤其是 1250 °C、90 min 的情况。过度的氮钝化在 P 型 SiC MOS 电容中产生了一种深能级界面陷阱,能级位于 4H-SiC 价带顶附近,其数量与氮钝化在界面处引入的氮元素含量呈现出正相关性^[16]。时间相关的电压应力测试结果如图 2 所示,随着 NO 退火时间的增加,正向漂移减少的同时负向漂移在增加。这表明 NO 退火能提升器件 V_{th} 的正向稳定性,但会明显恶化其负向稳定性。并且高温下更多的空穴陷阱会被激活并俘获空穴,因此高温下 V_{th} 负向不稳定性将表现得更为明显。此外,氮钝化程度会对栅介质可靠性产生显著影响。增加 NO 退火时长会恶化 NMOS 样品的栅漏电特性,而 PMOS 样品的栅漏电特性则会改善。这会减少器件正常工作时的正向栅偏置范围,扩大器件关态时的负向栅偏置范围^[17]。因此,氮退火工艺参数的选择需要从沟道迁移率、 V_{th} 正向漂移的改善与负向漂移的恶化这两方面进行折中,同时还需考虑其对器件正向和负向栅偏置范围的影响。

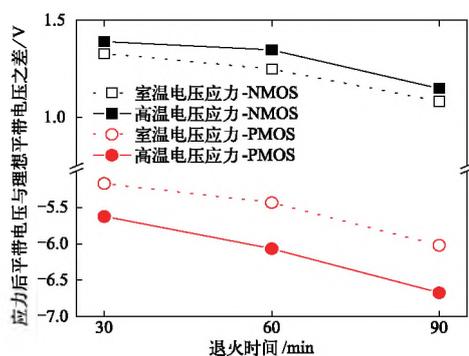


图 2 不同 NO 退火时长的 MOS 电容在室温和高温电压应力后的平带电压漂移量比较^[17]

2.3 器件长期可靠性机理研究

SiC MOSFET 的栅氧化层的可靠性一直是制约

SiC 功率 MOSFET 发展的主要问题。恒压时变介质击穿 (Time Dependent Dielectric Breakdown, TDDB) 测量通常用于检查 SiC MOSFET 器件的氧化物寿命。YEN 等人提供的证据表明局部氧化层变薄或者局部电场增强是导致器件在 TDDB 测试早期失效的一个重要原因^[18]。栅氧化层局部变薄或电场增强的可能原因包括深微坑、层错、掺杂不均匀性、台阶束、蚀刻导致非平面表面等,所以对抗外部失效的有效方法之一是提高晶圆清洁度。CHBILI 等人使用“幸运缺陷”模型对 SiC MOSFET 进行了早期失效的模拟^[19]。假设幸运缺陷在最接近界面处有最高浓度的指数分布,通过分别对全部器件 (DUTs)、选择 400 个器件 (类似于封装级的高温工作寿命鉴定测试) 和随机选择 50 个器件 (类似晶圆级 TDDB 测试) 3 种模式进行测试,得到的结果如图 3 所示,图中 F 表示威布尔分布函数, T_{BD} 为失效时间。从图 3(a) 可以看到,尾部为 10.95% 与实验测试结果 7.5% 相近。这是因为碳相关物质是热生长的副产品,在生长初期 SiO₂ 足够薄,碳相关产物很容易逃逸。随着氧化层变厚,碳相关产物无法逃逸,并导致更大浓度的缺陷。结果表明对抗厚栅氧化层外部失效的方法是改善氧化物生长过程,而不是专注于污染控制。

FIORENZA 等人在 140 °C、漏极电压 $V_{DS}=600$ V 下进行 10^7 s HTRB 实验,结果发现失效器件在击穿时栅极电流 I_{GS} 突然增加,击穿发生在栅极绝缘体中 (见图 4)^[20]。失效后的器件栅极失去了调控漏极电流的能力,转移特性曲线发生明显偏移,表明存在电荷俘获。在 HTRB 期间在固定偏压下的栅极电流随着 HTRB 时间的增加而减小,表明器件在氧化层中出现了捕获空穴的现象,直到器件发生硬击穿。在失效器件击穿位置附近总能发现穿透型位错缺陷,穿透型位错的存在会引起空穴的浓度增加从而导致栅氧化层提前击穿。

徐鹏等人开展的 HTGB 试验结果显示长时间高温正偏压会导致阈值电压的正向漂移,并且应力越大,持续时间越长,阈值电压漂移越剧烈^[21]。在正偏压下,半导体一侧的电子在电场作用下隧穿进入氧化层内的陷阱中,引起阈值电压正向移动。应力时间决定哪些氧化层陷阱会在应力期间改变电荷状态。应力时间越长将会导致电压不稳定性增加。但一些太深的陷阱仍然无法改变其荷电状态。而在高温环境中即使无栅偏应力情况下,阈值电压也出现了明显的正向漂移,但漂移量小于同温度下施加栅偏应力的情况。这是由于器件长时间暴露于高温环境中,会引起热电子发射,也会使得阈值电压略微正向移动。

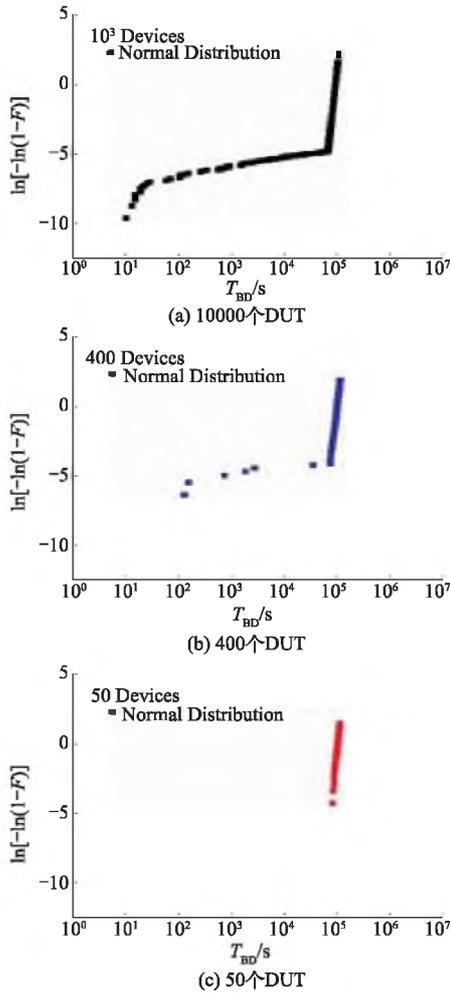


图 3 幸运缺陷的失效分布^[19]

3 器件的动态可靠性

近些年, SiC MOSFET 器件在一些极端情况下的动态可靠性问题引起了广泛关注。常见的动态可靠性问题有雪崩失效、短路失效和浪涌失效等。这些动态可靠性问题是提升 SiC MOSFET 器件商业化应用水平的阻碍, 因此对器件在这些动态场景中的失效机理研究显得尤为重要。

3.1 雪崩可靠性

雪崩失效是指在电路快速开关过程中, 存储于回路中电感或感性元件中的能量会在 MOSFET 器件的源漏端产生一个过电压, 该电压迫使器件进入反向雪崩工作模式, 电感中的能量在器件内部以热耗散的形式释放, 当施加的能量大于器件承受极限就会导致器件失效^[22]。通常采用非钳位感性开关 (Unclamped Inductive Switching, UIS) 电路来衡量 SiC MOSFET 器

件的雪崩可靠性。定义器件能承受的最大雪崩能量为器件的雪崩耐量 (E_{AS}), 此时的最大雪崩电流为器件的临界雪崩电流 (I_{AS})。它们的关系可以由式 (2) 表示:

$$E_{AS}=1/2LI_{AS}^2 \quad (2)$$

其中 L 为回路中的电感。可以看出临界雪崩电流越高, 雪崩耐量也就越高, 即器件具有更好的雪崩稳健性。

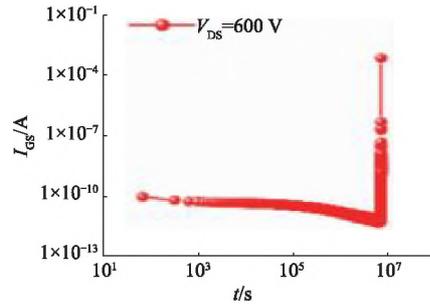


图 4 高温栅偏实验过程中的栅极漏电流曲线^[20]

近年来, 学术界对 SiC MOSFET 的单脉冲雪崩失效机理的研究已有一些阶段性成果, 提出了沟道激活、寄生双极结型晶体管 (Bipolar Junction Transistor, BJT) 开启和铝电极烧毁 3 种主要的失效机理。FAYYAZ 等人通过仿真模拟 UIS 热过程发现器件失效时雪崩电流主要流经沟道区域 (见图 5)^[23]。解析计算结果表明随着器件内部结温升高至 1000 K 以上, 阈值电压可以很容易降低至零以下, 造成沟道开启, 形成雪崩电流的泄放路径。FAYYAZ 等人的实验结果显示降低器件关态的负栅压可以在一定程度上提高器件的雪崩稳健性^[24]。

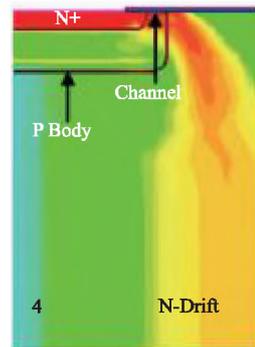


图 5 器件雪崩失效时的电流分布^[23]

JUNJIE 等人的实验结果和仿真研究证实了在 UIS 瞬态过程期间, 由局部高温引起的器件表面的金属熔化是导致器件损坏的原因^[25]。这种失效机制也得到了 UIS 测试、建模和数值计算结果的完美支持。在雪崩过程中 SiC MOSFET 器件内部的温度极限约为 937 K, 这与器件表面金属铝的熔化温度相当。

REN 等人认为引起雪崩失效的原因是 SiC MOSFET 器件内部寄生 BJT 的激活。文中对影响 BJT 开启的串联电阻 R_B 进行了理论分析,得到了寄生 BJT 开启的理论可能性^[26],同时认为 P 阱掺杂是影响寄生 BJT 开启的关键。JI 等人利用线性缓变结的思路,通过改变 P 阱掺杂来缓解沟道下方区域的电场集中,制备出具备更强雪崩能力的器件,间接证明了是 BJT 开启导致的器件失效^[27]。西安电子科技大学白志强等人通过 UIS 测试和 TCAD 仿真相结合的手段进一步证实了寄生 BJT 开启是器件雪崩失效的主要原因^[28]。失效器件的开盖检查发现一个贯穿外延层的热点,表明雪崩过程中器件内部温度极高。后续的多元胞仿真显示器件内部参数分布不均可能导致部分元胞的寄生 BJT 先导通,导致电流和热量的快速积累,最终形成热点导致整个器件烧毁。

在改善器件雪崩鲁棒性方面,针对寄生 BJT 激活这类雪崩失效机制,西安电子科技大学白志强等人提出采用倒置 P 阱掺杂的方法提高器件 UIS 能力^[29]。提高 P 阱底部掺杂浓度,可以有效降低基区串联电阻,抑制寄生 BJT 的激活。通过设置低掺杂区厚度与 N+ 区厚度相当,可以实现器件低导通电阻与高雪崩鲁棒性的良好折中。提高器件内部元胞间的工艺参数均匀性可以抑制寄生 BJT 开启,也能达到提升器件 UIS 能力的目的。此外,LIU 等人提出在器件 JFET 区上方制作厚的台阶栅氧化物^[30],提高栅氧质量,来减少 UIS 测试过程中栅氧化层的退化。

3.2 短路可靠性

短路失效是指在整流电路中,由于异常信号导致了器件异常开启,结电容上巨大的直流电压会在短时间内导致 MOS 器件产生高于额定电流十几倍的电流和巨大的热量而发生的热失效。在实际电路中通常会出现两种类型的短路故障:一种是负载短路故障,器件在正常工作时,负载突然短路,器件就从正常工作状态迅速转换成高压、大电流的工作状态;另一种是硬开关故障,当器件的初始状态是关断的,负载已经短路,此时突然给器件一个开通信号,漏源极仍然承受很高的电压,器件则从零电流状态迅速跳转至承受大电流的状态。

近年来,对 SiC MOSFET 器件短路失效机制的研究报道层出不穷。一些学者认为热失控是器件失效的主要原因。在热失效产生之前,短路电流会由负斜率转变成正斜率,在器件关断之后漏极产生一个拖尾电流(见图 6)^[31]。这两种效应被认为与温度相关,因为随

着脉冲长度增加和温度升高,空穴数量增加形成的泄漏电流从体区流出,从而出现拖尾电流^[32]。ROMANO 等人认为热失控失效是由于寄生 BJT 的导通造成的,随着短路持续时长的增加,器件结温不断升高,由高温产生的泄漏电流显著增加,这会激活寄生晶体管,导致空穴流通触发漏源之间的短路^[32]。TCAD 仿真的短路失效结果显示随着短路时间的增加,内部结温达到临界值便会触发寄生 BJT 的导通。造成热失控失效的另一种可能的原因是器件制备工艺误差使得器件各元胞之间出现电流分布不均的现象,进而导致局部热点的形成^[33]。当有泄漏载流子在局部区域形成时,邻近的元胞倾向于提供更多的电流导致更强的正反馈,电流簇聚集在有限区域内,迅速形成热点从而触发热失效。

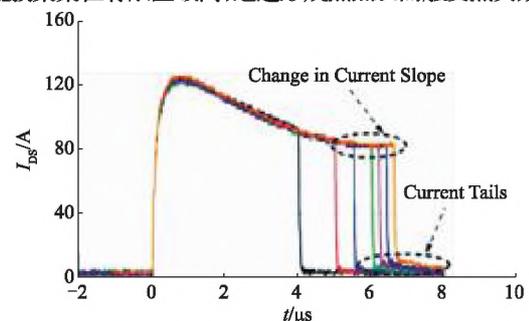


图 6 1200 V/36 A 的平面 MOSFET 的短路波形 ($V_{DS}=800$ V, $V_{GS}=16$ V, 外壳温度 $T_{CASE}=150$ °C)^[31]

除热失控失效之外,栅源短路也是造成 SiC MOSFET 器件短路失效的一种常见形式。发生栅源短路失效的器件通常还具有漏源阻断能力,只是栅极与源极之间短路,典型的失效曲线如图 7 所示^[34]。为了研究栅源短路的失效机理,研究者对失效器件进行聚焦离子束切割,发现在栅氧化层上方的场氧区中出现了明显的裂缝^[35],利用能谱仪对裂纹进行元素分析发现大量铝元素已经迁移到裂纹中(见图 8),推测是由于表面铝电极熔化后进入场氧区的裂缝中,当与栅极接触时形成导电通路,发生了栅源短路失效。分析表明在短路失效时栅氧上方的场氧区内出现了剪应力是导致出现裂缝的主要原因。图中 t_{on} 为开启时间, V_{DC} 为直流母线电压。

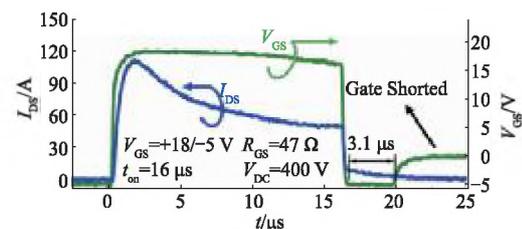
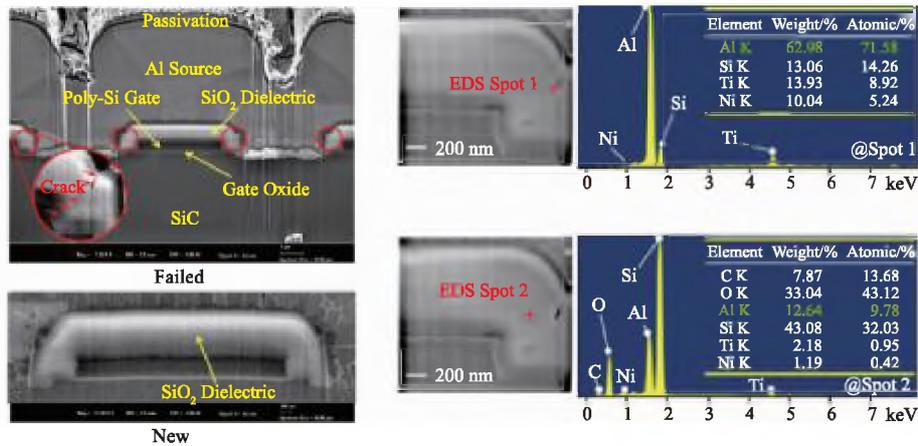


图 7 栅源短路失效时典型的输出波形^[34]

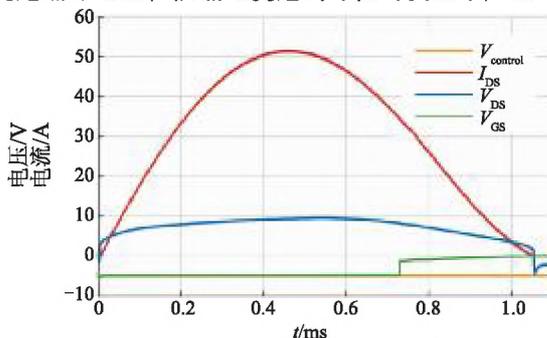
图 8 能谱仪对裂纹处的元素分析结果^[35]

3.3 浪涌可靠性

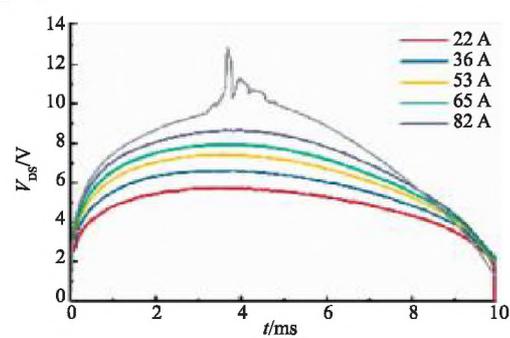
浪涌可靠性是器件可靠性指标中的一种,用于表征器件承受浪涌电流的能力。浪涌应力主要由 SiC MOSFET 内部的体二极管来承受,所以浪涌测试就是测试体二极管所能承受的最大浪涌电流。浪涌试验是把样品暴露在恒温环境中,对器件施加半正弦正向高电流脉冲,观测器件在高电流密度下的耐受能力。

典型的浪涌失效波形如图 9 所示,在浪涌过程中栅压降突变至零,器件发生了栅源短路失效。另一种情况是漏源电压在浪涌电流达到峰值时发生了严重

的畸变^[36]。XU 等人对单次浪涌失效的 SiC MOSFET 器件进行开盖观察,发现主要的失效原因是由高温引起的源极金属铝熔化,熔化的铝会与层间介质层和欧姆接触层的材料发生反应,并侵蚀渗透到栅氧中^[37]。除了源极金属铝熔化,也有因为高温导致欧姆接触层与金属铝发生反应而造成器件阻断能力退化的相关报道^[36]。SADIK 等人则认为浪涌电流冲击产生的高温会激活寄生 NPN 晶体管,导致二次击穿,因为高温情况会降低寄生 NPN 晶体管的内建电势使其更容易导通^[38]。



(a) 栅源短路失效波形



(b) 漏源短路失效波形

图 9 典型的浪涌失效曲线^[36]

4 总结

制约 4H-SiC MOSFET 器件发展的主要因素为阈值电压的不稳定性和器件的动态可靠性问题。在阈值电压漂移方面,大量文献利用栅偏应力测试、高温栅偏和高温反偏测试对器件的阈值不稳定性、栅漏电和反向漏电等特性进行表征。但由于业内缺乏统一的测试标准,且测试条件会严重影响测试结果,导致不同文献报道的结果差异较大。对于导致阈值漂移现象的界面

陷阱,研究者们通过改良栅介质工艺来降低界面态,通过优化 NO 钝化温度和时间来降低界面附近的电子陷阱和空穴陷阱。在器件动态可靠性方面,SiC MOSFET 器件的雪崩失效、短路失效和浪涌失效引起了广泛关注。在极端情况下,器件内部大量的热能会导致寄生 BJT 的开启和沟道开启,最终导致器件热失效,也存在高温导致表面金属电极熔化的现象,但由于失效过程迅速,且器件内部结温难以精确估计,对于器件的失效机制还没有统一论。在提高器件动态可靠性方面,通过优化 P 阱区掺杂分布可抑制器件内部寄生晶体

管的开启;在 JFET 区域上方制备具有阶梯状的栅氧化层可提高栅介质可靠性,降低栅失效的可能。

解决 4H-SiC MOSFET 器件存在的可靠性问题仍是未来工业界和学术界的重点。降低器件的阈值电压漂移,改善器件长期工作可靠性的核心就是要尽可能减少 4H-SiC/SiO₂ 界面附近的陷阱,提高栅介质的质量。在雪崩、短路、浪涌等动态可靠性方面,短时间内大量产热是导致器件失效的主要原因,一方面需要通过器件结构的优化设计降低温度对器件的影响,另一方面可以从外部的封装结构、导热材料等角度来提高器件散热能力,从而改善器件的动态可靠性。

参考文献:

- [1] KIMOTO T. SiC technologies for future energy electronics [C]// 2010 Symposium on VLSI Technology, June 15-17, 2010, Honolulu, HI, USA. New York: IEEE, 2010: 11488254.
- [2] ZHANG L, YUAN X, SHI C, et al. Performance evaluation of high-power SiC MOSFET modules in comparison to Si IGBT modules[J]. IEEE Transactions on Power Electronics, 2019, 34(2): 1181-1196.
- [3] 张玉明, 汤晓燕, 宋庆文. 碳化硅功率器件研究现状[J]. 新材料产业, 2015(10): 26-30.
- [4] YU S, KANG M, LIU T, et al. Bias-induced threshold voltage instability and interface trap density extraction of 4H-SiC MOSFETs[C]// 2019 IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Oct. 29-31, 2019, Raleigh, NC, USA. New York: IEEE, 2019: 19378390.
- [5] LELIS A J, GREEN R, HABERSAT D B, et al. Basic mechanisms of threshold-voltage instability and implications for reliability testing of SiC MOSFETs[J]. IEEE Transactions on Electron Devices, 2015, 62(2): 316-323.
- [6] YANG L, CASTELLAZZI A. High temperature gate-bias and reverse-bias tests on SiC MOSFETs[J]. Microelectronics Reliability, 2013, 53(9-11): 1771-1773.
- [7] THOMAS S M, SHARMA Y K, CROUCH M A, et al. Enhanced field effect mobility on 4H-SiC by oxidation at 1500 °C [J]. IEEE Journal of the Electron Devices Society, 2014, 2(5): 114-117.
- [8] JIA Y, LV H, SONG Q, et al. Influence of oxidation temperature on the interfacial properties of n-type 4H-SiC MOS capacitors[J]. Applied Surface Science, 2016, 397: 175-182.
- [9] OKAMOTO D, YANO H, HIRATA K, et al. Improved inversion channel mobility in 4H-SiC MOSFETs on Si face utilizing phosphorus-doped gate oxide [J]. IEEE Electron Device Letters, 2010, 31(7): 710-712.
- [10] ZHU Q, QIN F, LI W, et al. Improvement of SiO₂/4H-SiC interface properties by electron cyclotron resonance microwave nitrogen-hydrogen mixed plasma post-oxidation annealing[J]. Applied Physics Letters, 2013, 103(6): 461-463.
- [11] LICHTENWALNER D J, CHENG L, DHAR S, et al. High mobility 4H-SiC (0001) transistors using alkali and alkaline earth interface layers[J]. Applied Physics Letters, 2014, 105(18): 176-291.
- [12] CHUNG G Y, TIN C C, WILLIAMS J R, et al. Improved inversion channel mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide[J]. IEEE Electron Device Letters, 2001, 22(4): 176-178.
- [13] JIA Y, LV H, NIU Y, et al. Effect of NO annealing on charge traps in oxide insulator and transition layer for 4H-SiC metal-oxide-semiconductor devices [J]. Chinese Physics B, 2016, 25(9): 097101.
- [14] YOSHIOKA H, NAKAMURA T, KIMOTO T. Generation of very fast states by nitridation of the SiO₂/SiC interface [J]. Journal of Applied Physics, 2012, 112(2): 2028.
- [15] ROZEN J, DHAR S, DIXIT S K, et al. Increase in oxide hole trap density associated with nitrogen incorporation at the SiO₂/SiC interface[J]. Journal of Applied Physics, 2008, 103(12): 124513.
- [16] JIA Y, LV H, TANG X, et al. Influence of various NO annealing conditions on N-type and P-type 4H-SiC MOS capacitors[J]. Journal of Materials Science, 2019, 30(11): 10302-10310.
- [17] 白志强, 张艺蒙, 汤晓燕, 等. 氮钝化对 SiC MOS 电容栅介质可靠性的影响[J]. 西安电子科技大学学报, 2021: 1-7.
- [18] YEN C T, LEE H Y, HUNG C C, et al. Oxide breakdown reliability of SiC MOSFET[C]// 2019 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia), May 23-25, 2019, Taipei, Taiwan. New York: IEEE, 2019: 18867061.
- [19] CHBILI J, CHBILI Z, MATSUDA A, et al. Influence of lucky defect distributions on early TDDF failures in SiC power MOSFETs[C]// 2017 IEEE International Integrated Reliability Workshop (IIRW), 2017: 1-4.
- [20] FIORENZA P, ALESSANDRINO M, CARBONE B, et al. Understanding the role of threading dislocations on 4H-SiC MOSFET breakdown under high temperature reverse bias

- stress[J]. *Nanotechnology*, 2020, 31(12): 125203.
- [21] 徐鹏, 邹琦, 谢宗奎, 等. 碳化硅 MOSFET 器件高温栅偏特性的实验分析[J]. *半导体技术*, 2018, 43(10): 752-759.
- [22] WANG Z, ZHANG J, WU X, et al. Analysis of stray inductance's influence on SiC MOSFET switching performance[C]// *IEEE Energy Conversion Congress and Exposition (ECCE)*, Sept. 14-18, 2014, Pittsburgh, PA, USA. New York: IEEE, 2014: 14774819.
- [23] ASAD F, R GIANPAOLO, U JESUS, et al. A comprehensive study on the avalanche breakdown robustness of silicon carbide power MOSFETs[J]. *Energies*, 2017, 10(4): 452.
- [24] CASTELLAZZI A, FAYYAZ A, ROMANO G, et al. Transient out-of-SOA robustness of SiC power MOSFETs [C]// *IEEE International Reliability Physics Symposium (IRPS)*, April 2-6, 2017, Monterey, CA, USA. New York: IEEE, 2017: 16916330.
- [25] JUNJIE A N, NAMAI M, OKAMOTO D, et al. Investigation of maximum junction temperature for 4H-SiC MOSFET during unclamped inductive switching test [J]. *Electronics and Communications in Japan*, 2017, 101(1): 24-31.
- [26] REN N, WANG K L, WU J, et al. Failure mechanism analysis of SiC MOSFETs in unclamped inductive switching conditions [C]// *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, May 19-23, 2019, Shanghai, China. New York: IEEE, 2019: 183-186.
- [27] JI I H, GENDRON-HANSEN A, LEE M, et al. Highly rugged 1200 V 80 mQ 4-H SiC power MOSFET [C]// *International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, May 28-June 1, 2017, Sapporo, Japan. New York: IEEE, 2017: 17059531.
- [28] BAI Z, TANG X, XIE S, et al. Investigation on single pulse avalanche failure of 1200-V SiC MOSFETs via optimized thermoelectric simulation [J]. *IEEE Transactions on Electron Devices*, 2021, 68(3): 1168-1175.
- [29] BAI Z, TANG X, HE Y, et al. Improving avalanche robustness of SiC MOSFETs by optimizing three-region P-well doping profile[J]. *Microelectronics Reliability*, 2021, 124: 114332.
- [30] LIU S, GU C, WEI J, et al. Repetitive unclamped-inductive-switching-induced electrical parameters degradations and simulation optimizations for 4H-SiC MOSFETs [J]. *IEEE Transactions on Electron Devices*, 2016, 63(11): 4331-4338.
- [31] ROMANO G, FAYAAZ A, RICCIO M, et al. A comprehensive study of short-circuit ruggedness of silicon carbide power MOSFETs[J]. *IEEE Journal of Emerging & Selected Topics in Power Electronics*, 2016, 4(3): 978-987.
- [32] ROMANO G, MARESCA L, RICCIO M, et al. Short-circuit failure mechanism of SiC power MOSFETs [C]// *IEEE International Symposium on Power Semiconductor Devices & Ics*, May 10-14, 2015, Hong Kong, China. New York: IEEE, 2015: 15216675.
- [33] CECCARELLI L, REIGOSA P D, IANNUZZO F, et al. A survey of SiC power MOSFETs short-circuit robustness and failure mode analysis[J]. *Microelectronics Reliability*, 2017, 76-77: 272-276.
- [34] LIU J, ZHANG G, WANG B, et al. Gate failure physics of SiC MOSFETs under short-circuit stress[J]. *IEEE Electron Device Letters*, 2019, 41(1): 103-106.
- [35] REIGOSA P, IANNUZZO F, CECCARELLI L. Failure analysis of a degraded 1.2 kV SiC MOSFET after short circuit at high temperature [C]// *2018 IEEE International Symposium on the Physical and Failure Analysis of Integrated Circuits (IPFA)*, July 16-19, 2018, Singapore. New York: IEEE, 2018: 18075651.
- [36] LI H, WANG J, N REN, et al. Investigation of 1200 V SiC MOSFETs' surge reliability[J]. *Micromachines*, 2019, 10(7): 485.
- [37] XU H, REN N, ZHU Z, et al. Methodology for enhanced surge robustness of 1.2 kV SiC MOSFET body diode[J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2021, 99: 1.
- [38] SADIK D P, HEINIG S, JACOBS K, et al. Investigation of the surge current capability of the body diode of SiC MOSFETs for HVDC applications [C]// *European Conference on Power Electronics & Applications*, Sept. 5-9, 2016, Karlsruhe, Germany. New York: IEEE, 2016: 16413127.



作者简介:

白志强 (1994—), 男, 云南保山人, 博士研究生, 主要研究方向为 SiC 功率 MOSFET 器件可靠性;

张玉明 (1965—), 男, 陕西白水人, 博士, 教授, 博士生导师, 现从事碳化硅材料与器件相关研究。