

“高密度有机封装基板”专题

集成电路有机基板倒装焊失效分析与改善

朱国灵, 韩星, 徐小明, 季振凯
(无锡中微亿芯有限公司, 江苏无锡 214072)

摘要: 为了满足产品便携化和多功能化的需求, 芯片设计正朝着多功能和大规模集成的趋势发展, 集成电路封装也逐步向大尺寸、高密度的方向演进, 特别是倒装芯片技术的应用, 可以实现更高的封装密度和更快的信号传输速度。然而, 不同材料的热膨胀系数存在差异, 热失配容易引发互联凸点开路失效。为研究有机基板倒装焊集成电路在封装制程中失效的原因, 采用扫描电子显微镜 (SEM) 结合有限元分析法, 模拟有机基板在温度循环和回流焊过程中的应力分布状态并进行分析, 结果表明, 在回流焊过程中有机基板四周边缘位置的凸点所受应力较大。采用磁性载具和在焊盘上预制焊料的方法可以显著降低电路失效风险。

关键词: 有机基板; 互联凸点; 有限元分析; 开路失效

中图分类号: TN305.94 **文献标志码:** A **文章编号:** 1681-1070 (2024) 02-020111

DOI: 10.16257/j.cnki.1681-1070.2024.0077

中文引用格式: 朱国灵, 韩星, 徐小明, 等. 集成电路有机基板倒装焊失效分析与改善[J]. 电子与封装, 2024, 24 (2): 020111.

英文引用格式: ZHU Guoling, HAN Xing, XU Xiaoming, et al. Failure analysis and improvement of flip chip of organic substrate for integrated circuit[J]. Electronics & Packaging, 2024, 24(2): 020111.

Failure Analysis and Improvement of Flip Chip of Organic Substrate for Integrated Circuit

ZHU Guoling, HAN Xing, XU Xiaoming, JI Zhenkai
(East Technology, Inc., Wuxi 214072, China)

Abstract: In order to meet the demands for product portability and multifunctionality, chip design is developing towards the trend of multifunctionality and large-scale integration, and integrated circuit packaging is gradually evolving towards large size and high density. In particular, the application of flip chip technology can achieve higher packaging density and faster signal transmission speed. However, there are differences in the coefficients of thermal expansion of different materials, and thermal mismatch can easily lead to open-circuit failure of interconnection bumps. In order to study the reasons for the failure of flip chip of the organic substrate for integrated circuit in the packaging process, scanning electron microscopy (SEM) combined with finite element analysis is used to simulate and analyze the stress distribution state of the organic substrate in the temperature cycling and reflow soldering process, and the results show that the bumps around the edges of the organic substrate are subjected to a higher level of stress during reflow soldering process. The use of magnetic carriers and the prefabricated solder on pads can significantly reduce the risk of circuit failure.

Keywords: organic substrate; interconnection bump; finite element analysis; open-circuit failure

收稿日期: 2023-12-22

E-mail: 朱国灵 zhugl@etech-inc.com

0 引言

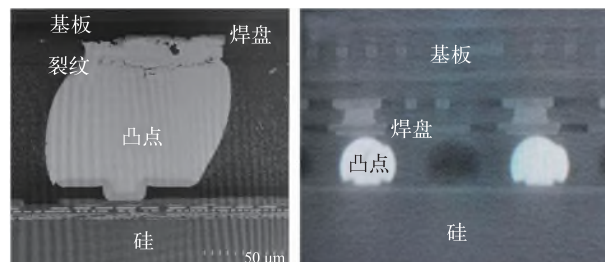
随着物联网、人工智能等新兴技术的快速发展,电子产品对便携性、多功能性的需求日益迫切,芯片设计朝着多功能和大规模集成的方向发展,并且塑封集成电路具有成本低、重量轻和易制造等优点,因此,大尺寸、高密度的塑封倒装焊技术被广泛应用于各类电子产品中^[1]。然而,在封装、组装和使用过程中,集成电路往往需要经历多次温度变化和热冲击,不同材料的热膨胀系数(CTE)不同会引发热失配,导致电路在温度循环试验、回流焊时易发生互联凸点开路失效,进而影响封装可靠性^[2]。行业技术人员对倒装焊凸点结构的可靠性和失效模式进行了研究。田野采用有限元分析法,发现热冲击会影响凸点的应力应变分布和互连可靠性^[3]。高娜燕等人通过优化倒装塑封体结构中的芯片厚度、基板厚度和CTE等参数,有效控制了封装翘曲度^[4]。ZHU等人通过试验方法研究了凸点在电流应力作用下的失效机制^[5]。黄春跃等人通过对凸点形态进行热循环应力应变分析,研究了凸点与疲劳寿命之间的关系^[6]。现阶段针对封装制程改善措施的相关研究比较缺乏。

本文针对某款间距为 1.00 mm 的 FC-PBGA900 型 FPGA 封装电路,利用 Ansys Workbench 软件依照实体封装结构进行 1:1 建模,模拟其在温度循环和回流焊过程中的应力应变状态,分析失效原因并提出针对封装制程的改善措施,为大尺寸、高密度的塑封倒装焊提供重要的理论支撑和制程改善方案。

1 失效案例分析

FC-PBGA900 型 FPGA 封装电路是一款集成了高速解串器、存储器和普通信号接口的大规模集成电路,其裸芯片尺寸为 11.20 mm×16.70 mm×0.75 mm,封装尺寸为 31.00 mm×31.00 mm×3.20 mm,散热片尺寸为 30.60 mm×30.60 mm×1.35 mm。封装 200 颗电路,其中良品为 154 颗,封装良率为 77%,抽取 80 颗电路进行温度循环试验,试验温度为-65~150 °C,循环 500 次后,19 颗电路发生开路失效,失效率为 23.75 %。对失效电路进行分析,结果表明,发生失效的封装电路的凸点与基板间存在明显的贯穿式裂纹,图 1(a)为失效封装电路互联凸点切片的 SEM 图,失效封装电路的芯片边缘凸点与焊盘无接触,图 1(b)为失效封装电路

的芯片边缘凸点的 3D 图像。裂纹产生的原因为温度循环时凸点受到的应力大于其材料可承受的蠕变或材料剪切强度。这些裂纹可能会导致凸点和基板出现明显的位置偏移。在温度循环试验中有机基板的形变最明显,较大的形变会影响芯片边缘凸点与焊盘的互连,从而导致虚焊或漏焊的情况。在进行封装制程和可靠性试验时,温度循环和回流焊过程中的高低温变化容易导致基板翘曲和凸点内应力的加剧以及材料蠕变,进而导致电路失效。为了提高该款封装电路的可靠性和稳定性,应当采取措施控制基板翘曲并降低凸点所受应力。



(a) 互联凸点切片的SEM图 (b) 芯片边缘凸点的3D图像
图 1 失效封装电路互联凸点切片 SEM 图和芯片边缘凸点 3D 图像

2 有限元仿真分析

2.1 温度循环试验建模与仿真分析

温度循环试验的目的是考察封装电路在长时间冷热温度交替作用下的性能表现,特别是热应力对其产生的影响。

2.1.1 温度循环试验建模

模型参数如表 1 所示,使用 Ansys Workbench 软件按照电路结构进行 1:1 建模,采用四面体和六面体相结合的方式对网格划分,温度循环试验的仿真模型如图 2 所示。在仿真参数设置时,需要限制凸点底端自由度,将温度设置为-65~150 °C,零应力温度点为 25 °C,循环次数为 500 次,温度转换时间不超过 1 min,停留时间不少于 10 min。

表 1 模型参数

组成部分	尺寸	材料
外形	31.00 mm×31.00 mm×3.20 mm	—
散热片	30.60 mm×30.60 mm×1.35 mm	C1100
基板	30.60 mm×30.60 mm×1.27 mm	ABF
焊球	0.60 mm	SAC305
裸芯片	11.20 mm×16.70 mm×0.75 mm	Si
凸点	80 μm×105 μm	SnAg1.8

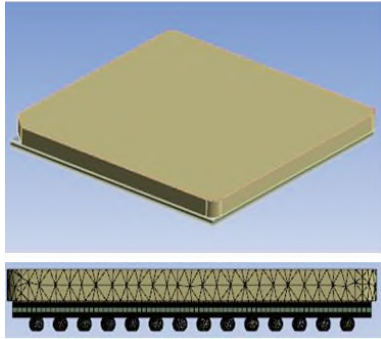


图 2 温度循环试验的仿真模型

2.1.2 温度循环试验仿真结果与分析

降温阶段的温度为 25~-65 °C, 降温阶段基板翘曲和凸点受力情况如图 3 所示。由图 3 (a) 可知, 基板发生了正向翘曲, 相较于中心位置, 边缘位置的形变量较大, 整体呈现出“笑脸”形状, 翘曲最大值约为 0.009 mm。图 3 (b) 中箭头指向位置为凸点受应力影响最显著位置, 降温阶段芯片边缘位置的凸点受力最大, 应力最大值为 40.350 MPa。随着循环次数的增多, 残余应力不断累加, 凸点易因疲劳产生失效。

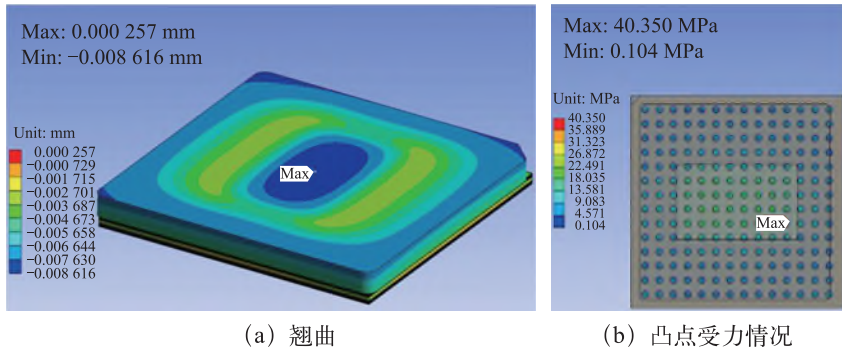


图 3 降温阶段基板翘曲和凸点受力情况

升温阶段的温度为 25~150 °C, 升温阶段基板翘曲和凸点受力情况如图 4 所示。由图 4 (a) 可知, 基板发生了负向翘曲, 相较于中心位置, 边缘位置的形变量较大, 整体呈现出“哭脸”形状, 翘曲最大值约为

0.013 mm。图 4 (b) 中箭头指向位置为凸点受应力影响最显著位置, 升温阶段的凸点受力最大的位置也在芯片边缘, 应力最大值为 28.604 MPa。

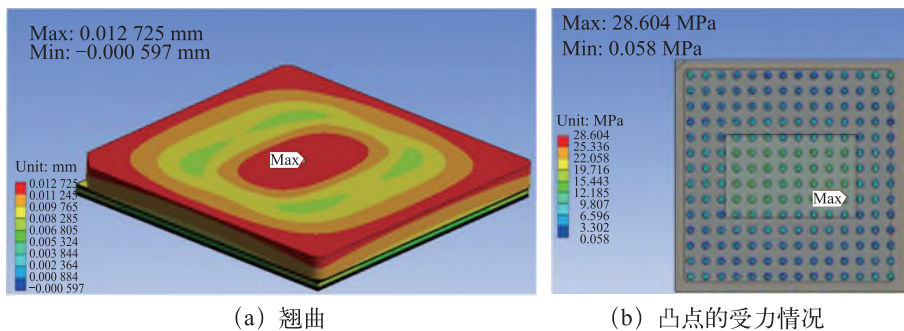


图 4 升温阶段基板翘曲和凸点受力情况

仿真结果显示, 升温 and 降温阶段的翘曲现象呈现出相似的趋势, 形变量从基板的中心位置向边缘位置逐渐增大, 且凸点的最大受力位置均在芯片边缘, 但降温阶段的等效应力约为升温阶段的 1.4 倍, 在降温阶段凸点更容易因为疲劳发生断裂失效, 芯片边缘位置是最容易发生失效的区域。因此, 通过控制基板翘曲、减少凸点损伤和降低残余热应力等方式增强凸点焊接强度才是解决凸点失效的根本途径。

而引发失效。回流焊过程与温度循环试验类似, 分为升温阶段和降温阶段, 温度循环仿真结果显示, 在降温阶段凸点更易发生失效, 因此在回流焊过程中主要针对降温阶段进行仿真。采用与温度循环试验相同的模型, 建模和网格划分方式均与温度循环建模时的方式保持一致, 回流焊过程的仿真模型如图 5 所示。在仿真参数设置时, 需要限制基板自由度, 凸点材料为 SnAg1.8, 其熔点为 221 °C, 因此将温度设置为 220~25 °C, 零应力温度点为 25 °C, 降温速率为 0.8 °C/min。

2.2 回流焊建模与仿真分析

2.2.1 回流焊建模

在封装制程中最易造成凸点失效的工序为回流焊, 高低温变化容易导致凸点蠕变和内应力产生, 进

2.2.2 回流焊仿真结果与分析

回流焊降温阶段基板翘曲和凸点受力情况如图 6 所示, 由图 6 (a) 可知, 基板发生了负向翘曲, 形变量由

中心位置向边缘位置逐渐增大,整体呈现出“哭脸”形状,翘曲最大值约为 0.097 mm。图 6 (b) 中箭头指示的位置为凸点最易发生失效的位置,芯片边缘位置的凸点受力最大,应力最大值约为 63.28 MPa。上述结果表明,在回流焊降温阶段,基板翘曲导致凸点向外倾斜,且边缘位置的凸点倾斜度最大,芯片边缘位置的凸点所受应力最大,该位置凸点受到的应力接近凸点强度极限,易造成凸点断裂失效。

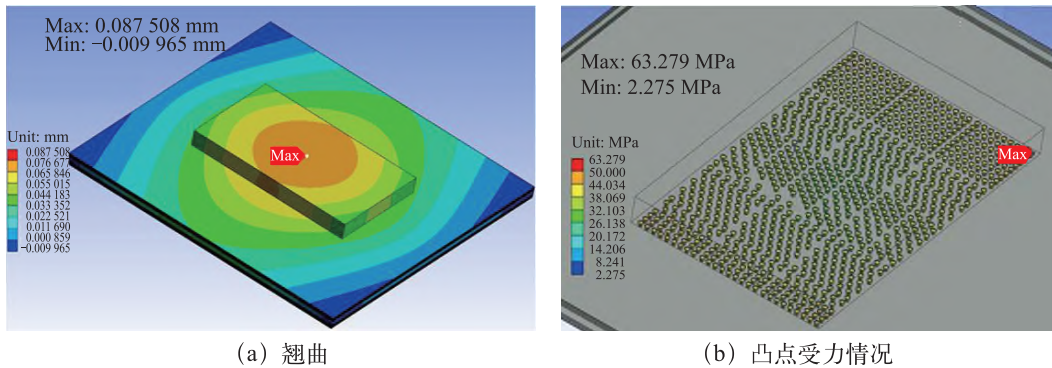


图 6 回流焊降温阶段基板翘曲和凸点受力情况

3 改善措施

结合温度循环试验和回流焊仿真结果可以看出,基板边缘位置的翘曲最大,芯片边缘位置的凸点受力最大,芯片边缘位置为最易发生凸点失效的位置。温度循环试验作为一种检验封装结构稳定性的方法,其主要目的是剔除失效样品。控制回流焊阶段的基板翘曲并提高凸点与焊盘结合强度可以有效降低焊接风险。

3.1 磁性载具

利用物理压合技术施加外部压力可以有效控制基板在回流焊过程中的翘曲。本文采用的磁性载具如图 7 所示,载具为钢制框架结构,分为上模和下模 2 个部分,总厚度约为 4.2 mm。将基板置于凹槽内并固定,可有效降低装片后的基板在回流焊时的翘曲,确保凸点与焊盘充分焊接,避免虚焊和漏焊发生。



图 7 磁性载具

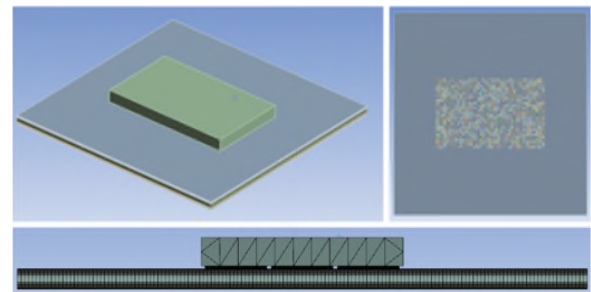
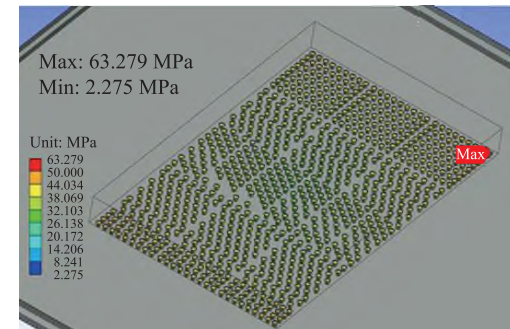


图 5 回流焊过程的仿真模型



3.2 预制焊料

针对同一款封装电路,在其他条件相同的前提下,凸点的焊接强度主要取决于其与焊盘的有效焊接面积,有效焊接面积越大,焊接强度越高。采用在焊盘上预制焊料的方法可显著提高凸点与焊盘的有效焊接面积,从而提高焊接强度,增强凸点在回流焊阶段的焊接稳定性,没有预制焊料和在焊盘上预制焊料的倒装焊流程如图 8 所示。采用该方法可有效避免虚焊和漏焊,在实际加工时凸点直径存在 $\pm 10\%$ 的公差,阻焊层开窗尺寸存在 $\pm 15 \mu\text{m}$ 的公差,当绿油开窗偏差下限或凸点直径偏公差上限时,基板翘曲可能会导致凸点与焊盘无法接触或接触面积过小,凸点出现虚焊或漏焊的情况,正常焊接的凸点与虚焊、漏焊的凸点对比如图 9 所示。

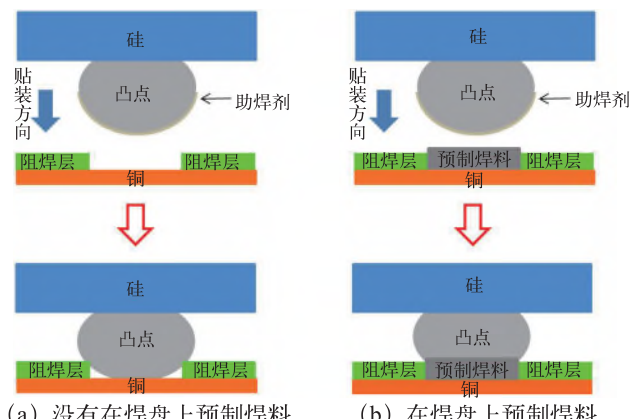


图 8 倒装焊流程

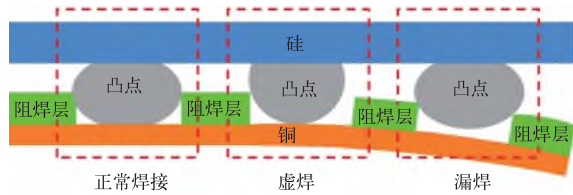


图 9 正常焊接的凸点与虚焊、漏焊的凸点对比

采用磁性载具和预制焊料的方法对封装制程进行优化,重新封装 200 颗 FC-PBGA900 型 FPGA 电路,良品为 197 颗,封装良率由 77%提升至 98.5%。在 $-65\sim 150\text{ }^{\circ}\text{C}$ 下,电路经过 500 次温度循环后没有出现电性能异常和开路失效,优化后封装电路的凸点切片如图 10 所示。由图 10 可知,凸点焊接完整、形状标准,凸点与基板的相对位置稳定,没有发生明显的偏移,基板无明显翘曲。

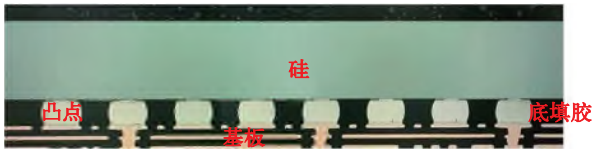


图 10 优化后封装电路的凸点切片

4 结论

采用 Ansys Workbench 软件模拟 FC-PBGA900 电路在温度循环和回流焊阶段的应力应变分布和翘曲情况,结果表明,温度循环是一种有效的检验封装电路质量的方法,每次循环产生的应力应变相对固定,改善异常的根本措施是通过优化封装制程,降低基板翘曲并提高凸点与基板的结合强度。可采取以下具体措施。

1) 使用磁性载具以降低回流焊阶段的基板翘曲。

2) 采用在芯片倒装区域预制焊料的方法,增强凸点与焊盘的结合力,避免凸点出现虚焊或漏焊情况。

集成电路的封装质量和可靠性不仅与有机基板有关,还与封装制程的工艺方法、工艺控制等因素密切相关,因此需要从全过程的角度来审视有机基板封装的集成电路的质量和可靠性。

参考文献:

[1] 任春岭,鲁凯,丁荣峥. 倒装焊技术及应用[J]. 电子与封

装, 2009, 9(3): 15-20.

[2] 王敏,黄志强,方建明,等. FCBGA 封装集成电路在实际应用中的失效研究[J]. 电子产品可靠性与环境试验, 2023, 41(2): 15-20.

[3] 田野. 热冲击条件下倒装组装微焊点的可靠性—应力应变[J]. 焊接学报, 2016, 37(8): 67-70.

[4] 高娜燕,陈锡鑫,全良玉,等. 倒装焊塑封翘曲失效分析[J]. 电子产品可靠性与环境试验, 2020, 38(2): 61-65.

[5] ZHU Z, CHAN Y C, WU F S. Failure mechanisms of solder interconnects under current stressing in advanced electronic packages: An update on the effect of alternating current (AC) stressing[J]. Microelectronics Reliability, 2018, 91: 179-182.

[6] 黄春跃,周德俭,李春泉. CCGA 焊点热循环加载条件下应力应变有限元分析[J]. 桂林电子工业学院学报, 2001, 21(3): 22-28.

[7] 许利伟. 倒装芯片微凸点焊工艺研究及焊点应变有限元仿真[D]. 大连: 大连理工大学, 2016.

[8] CHEN K M, WU C Y, WANG C H, et al. An RDL UBM structural design for solving ultralow- K delamination problem of Cu pillar bump flip chip BGA packaging[J]. Journal of Electronic Materials, 2014, 43(11): 4229-4240.

[9] 付志伟. 热应力下倒装芯片中铜柱凸点互连的可靠性研究[D]. 广州: 华南理工大学, 2017.

[10] 周斌,黄云,恩云飞,等. 热-电应力下 Cu/Ni/SnAg1.8/Cu 倒装铜柱凸点界面行为及失效机理[J]. 物理学报, 2018, 67(2): 277-286.

[11] LONG X J, SHANG J T, ZHANG L. Design optimization of pillar bump structure for minimizing the stress in brittle low K dielectric material layer[J]. Acta Metallurgica Sinica (English Letters), 2020, 33(4): 583-594.

[12] 田野. 倒装芯片与 OSP 铜焊盘组装焊点的界面反应及可靠性研究[D]. 武汉: 华中科技大学, 2013.



作者简介:

朱国灵 (1991—), 男, 江苏泰州人, 硕士, 工程师, 现从事封装设计与可靠性研究工作。